



DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

05004525 **Image available**

SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

PUB. NO.: 07-297125 [JP 7297125 A]

PUBLISHED: November 10, 1995 (19951110)

INVENTOR(s): MAKITA NAOKI

MIYAMOTO TADAYOSHI

KOUZAI TAKAMASA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 06-090356 [JP 9490356]

FILED: April 27, 1994 (19940427)

INTL CLASS: [6] H01L-021/20; H01L-027/12; H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To fabricate a thin film transistor efficiently in a lateral crystal growth region by forming the channel region of thin film transistor utilizing a crystalline silicon film in the region where the lateral crystal growth distance extends from the crystal catalyst introduction region to a region where the crystalline silicon is deposited at the annealing temperature.

CONSTITUTION: A mask 703 of silicon dioxide is deposited on an amorphous silicon deposited on the entire surface of a substrate. A hole for adding a catalyst element, i.e. a catalyst element adding region 700, is then made in the mask 703 and a catalyst element is introduced. The amorphous silicon is thereby crystallized in the range including the region 700 and lateral crystallization proceeds around the region 700. Consequently, a lateral crystal growth region 701 is formed and utilized in the formation of the channel region 702 of a transistor.

特開平7-297125

(43) 公開日 平成7年(1995)11月10日

(51) Int. Cl. ⁶

識別記号

F I

H01L 21/20

27/12

R

29/786

21/336

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数32 O L (全23頁)

(21) 出願番号 特願平6-90356

(22) 出願日 平成6年(1994)4月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 宮本 忠芳

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 香西 孝真

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

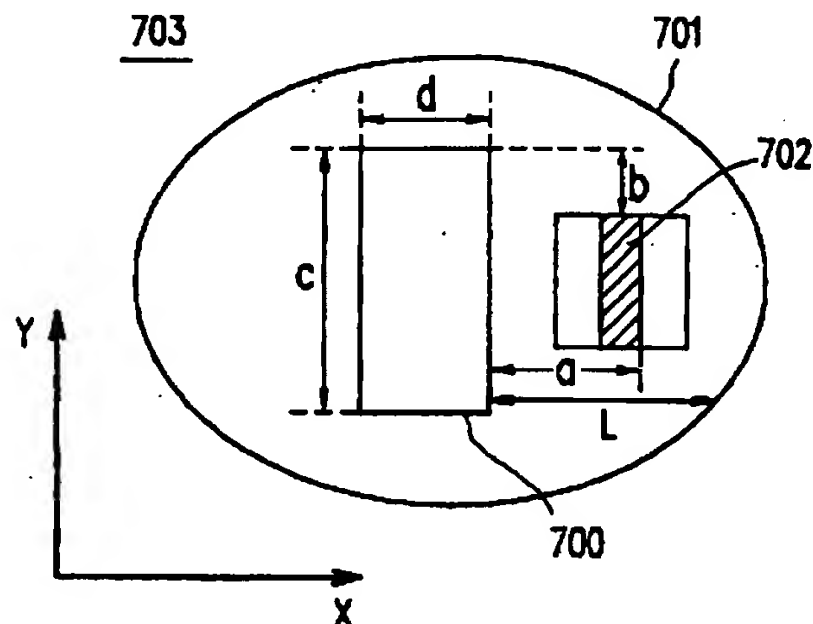
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 TFTを効率よく横方向結晶成長領域に作製し、キャリアの高移動度の実現による高性能で安定した特性のTFTを、基板全面に亘って形成することができ、更に、結晶化に必要な時間を短縮することができる半導体装置、およびその製造方法を提供する。

【構成】 結晶化を助長する触媒元素を選択導入して加熱することにより基板と平行に結晶成長させた結晶性ケイ素膜を利用して薄膜トランジスタを構成する半導体装置およびその製造方法において、図10における距離aを $120\mu\text{m}$ 以下、あるいは距離bを $30\mu\text{m}$ 以上、あるいは距離cを $120\mu\text{m}$ 以上、あるいは距離dを $5\mu\text{m}$ 以上とする。また、一つの触媒元素添加領域から成長した横方向結晶成長結晶性ケイ素膜を利用して、複数の薄膜トランジスタを形成する。



【特許請求の範囲】

【請求項1】 結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、

前記チャネル領域は、非晶質ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、予め定めるアニール温度による加熱処理により、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた結晶性ケイ素膜により形成されたものであって、

前記チャネル領域が、前記触媒元素の導入領域から、該アニール温度で結晶性ケイ素膜が形成される範囲内に配置されている半導体装置。

【請求項2】 前記チャネル領域が、前記触媒元素の導入領域から距離120 μm 以内の位置に配置されている請求項1に記載の半導体装置。

【請求項3】 前記チャネル領域は、前記結晶性ケイ素が一次元的結晶方向を有する範囲内であって、更に、前記結晶性ケイ素が、前記結晶方向に関して、前記一次元的結晶方向からの分岐または屈曲する数が2以下の範囲に配置されている請求項1に記載の半導体装置。

【請求項4】 前記チャネル領域は、前記触媒元素の導入領域から、60 μm 以内の位置に配置されている請求項3に記載の半導体装置。

【請求項5】 前記チャネル領域は、前記結晶性ケイ素が、前記結晶方向に関して、前記一次元的結晶方向からの分岐または屈曲する数が1以下の範囲に形成されている請求項3に記載の半導体装置。

【請求項6】 前記チャネル領域は、前記触媒元素の導入領域から、30 μm 以内の位置に配置されている請求項5に記載の半導体装置。

【請求項7】 結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、

前記チャネル領域は、非晶質ケイ素膜に該ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、予め定めるアニール温度による加熱処理により、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた結晶性ケイ素膜により形成されたものであって、

前記触媒元素が導入された線状領域の長軸方向における、前記チャネル領域と前記線状領域端部との距離が、前記チャネル領域から、前記アニール温度で一次元的結晶方向を有する結晶性ケイ素が形成される範囲内である半導体装置。

【請求項8】 前記触媒元素が導入された線状領域の長軸方向における、前記チャネル領域と前記線状領域端部との距離が30 μm 以上である請求項7に記載の半導体装置。

【請求項9】 結晶性を有するケイ素膜を利用してチャ

ネル領域が絶縁表面を有する基板上に構成された半導体装置であって、

前記チャネル領域は、非晶質ケイ素膜に該ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、加熱処理し、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた結晶性ケイ素膜により形成されたものであって、

前記触媒元素を導入する線状領域の長軸方向の長さは、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める長さ以上の長さに定められる半導体装置。

【請求項10】 前記触媒元素を導入する線状領域の長軸方向の前記予め定める長さが120 μm 以上である請求項9に記載の半導体装置。

【請求項11】 結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、

前記チャネル領域は、非晶質ケイ素膜に該ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、加熱処理し、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた結晶性ケイ素膜により形成されたものであって、

前記触媒元素を導入する線状領域の長軸方向と交差する方向の幅は、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める幅以上の幅に定められる半導体装置。

【請求項12】 前記触媒元素を導入する線状領域の前記予め定める幅が5 μm 以上である請求項11に記載の半導体装置。

【請求項13】 結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、

非晶質ケイ素膜に該ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、加熱処理により、前記触媒元素が選択的に導入された1本の線状の領域の周辺部において、基板表面において、基板表面に平行に結晶成長させた結晶性ケイ素膜を利用して、複数の薄膜トランジスタが設けられている半導体装置。

【請求項14】 前記触媒元素が導入された1本の線状領域の両側に薄膜トランジスタを構成した請求項13に記載の半導体装置。

【請求項15】 前記チャネル領域は、非晶質ケイ素膜にケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、加熱処理により、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた後、レーザー光または高照度の光を照射することによって形成された結晶性ケイ素膜である請求項1、7、9、11及び13のいずれかに記載の半導体装置。

【請求項16】 触媒元素として、Ni、Co、Pd、

10

20

30

40

50

P t、C u、A g、A u、I n、S n、A l、P、A s、S bから選ばれた一種または複数種類の元素が用いられる請求項 1、7、9、11 及び 13 のいずれかに記載の半導体装置。

【請求項 17】 基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状にする工程と、加熱によって前記非晶質ケイ素膜を結晶化させ、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記基板表面に対し概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で薄膜トランジスタを形成する工程とを有する半導体装置の製造方法において、前記チャネル領域の位置が、前記触媒元素の導入領域から、該アニール温度で結晶性ケイ素膜が形成される範囲内となるように薄膜トランジスタを構成する半導体装置の製造方法。

【請求項 18】 前記チャネル領域が、前記触媒元素の導入領域から距離 $120\mu\text{m}$ 以内の位置に形成される請求項 17 に記載の半導体装置の製造方法。

【請求項 19】 前記チャネル領域は、前記結晶性ケイ素が一次元的結晶方向を有する範囲内であって、更に、前記結晶性ケイ素が、前記結晶方向に関して、前記一次元的結晶方向からの分岐または屈曲する数が 2 以下の範囲に形成される請求項 17 に記載の半導体装置の製造方法。

【請求項 20】 前記チャネル領域は、前記触媒元素の導入領域から、 $60\mu\text{m}$ 以内の位置に形成される請求項 19 に記載の半導体装置の製造方法。

【請求項 21】 前記チャネル領域は、前記結晶性ケイ素が、前記結晶方向に関して、前記一次元的結晶方向からの分岐または屈曲する数が 1 以下の範囲に形成される請求項 19 に記載の半導体装置の製造方法。

【請求項 22】 前記チャネル領域は、前記触媒元素の導入領域から、 $30\mu\text{m}$ 以内の位置に配置されている請求項 21 に記載の半導体装置の製造方法。

【請求項 23】 基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化させ、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で薄膜トランジスタを形成する工程とを有する半導体装置の製造方法において、前記触媒元素が導入された線状領域の長軸方向における、前記線状領域端部と、前記薄膜トランジスタのチャネル領域との前記線状領域長軸方向における距離が、前記チャネル領域から、前記アニール温度で一次元的結晶方向を有する結晶性ケイ素が形成される範囲内となるよ

うに前記薄膜トランジスタが構成される半導体装置の製造方法。

【請求項 24】 前記触媒元素が導入された線状領域の長軸方向における、前記線状領域端部と、前記薄膜トランジスタの前記チャネル領域との前記線状領域長軸方向に於ける距離が $30\mu\text{m}$ 以上となるように前記薄膜トランジスタが構成される請求項 23 に記載の半導体装置の製造方法。

【請求項 25】 基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で薄膜トランジスタを形成する工程とを有する半導体装置の製造方法において、前記触媒元素を導入する線状領域の長軸方向の長さは、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める長さ以上の長さに定められる半導体装置の製造方法。

【請求項 26】 前記触媒元素を導入する線状領域の長軸方向の前記予め定める長さが $120\mu\text{m}$ 以上である請求項 25 に記載の半導体装置の製造方法。

【請求項 27】 基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で薄膜トランジスタを形成する工程とを有する半導体装置の製造方法において、前記触媒元素を導入する線状領域の長軸方向と交差する方向の幅は、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める幅以上の幅に定められる半導体装置の製造方法。

【請求項 28】 前記触媒元素を導入する線状領域の前記予め定める幅が $5\mu\text{m}$ 以上である請求項 27 に記載の半導体装置。

【請求項 29】 基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化させ、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記触媒元素を導入した 1 本の線状領域から基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶

性ケイ素膜で複数個の薄膜トランジスタを形成する工程と、

を少なくとも有する半導体装置の製造方法。

【請求項30】 前記触媒元素が導入された1本の線状領域の両側に薄膜トランジスタを構成する請求項29に記載の半導体装置の製造方法。

【請求項31】 基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化させ、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、該工程の後にレーザー光または強光を照射し、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜の結晶性を助長する工程と、前記ケイ素膜で薄膜トランジスタを形成する工程と、を少なくとも有する請求項17、23、25、27及び28のいずれかに記載の半導体装置の製造方法。

【請求項32】 触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As、Sbから選ばれた一種または複数種類の元素が用いられる請求項17、23、25、27及び28のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ガラス等の絶縁基板上に設けられたTFT（薄膜トランジスタ）を用いた半導体装置およびその製造方法に関する。特に、アクティブマトリクス型の液晶表示装置に利用できる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】ガラス等の絶縁基板上にTFTを有する半導体装置としては、これらのTFTを画素の駆動に用いるアクティブマトリクス型液晶表示装置やイメージセンサー等が知られている。これらの装置に用いられるTFTには、薄膜状のケイ素半導体を用いるのが一般的である。薄膜状のケイ素半導体は、非晶質ケイ素半導体

(a-Si)からなるものと、結晶性を有するケイ素半導体からなるものの2つに大別される。非晶質ケイ素半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられている。しかし、導電性等の物性が結晶性を有するケイ素半導体に比べて劣るため、今後より高速な動作特性を得るためには、結晶性を有するケイ素半導体からなるTFTの作製方法の確立が強く求められていた。尚、結晶性を有するケイ素半導体としては、多結晶ケイ素、微結晶ケイ素、結晶成分を含む非晶質ケイ素、結晶性と非晶質性の中間の状態を有するセミアモルファスケイ素等が知られている。

【0003】これら結晶性を有する薄膜状のケイ素半導

体を得る方法としては、

(1) 成膜時に結晶性を有する膜を直接成膜する。

【0004】(2) 非晶質の半導体膜を成膜しておき、レーザー光のエネルギーによって結晶性を有せしめる。

【0005】(3) 非晶質の半導体膜を成膜しておき、熱エネルギーを加えることによって結晶性を有せしめる。

【0006】といった方法が知られている。しかしながら、(1)の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得るにはケイ素膜の厚膜化が不可欠であり、良好な半導体物性を有する膜を基板上に全面に亘って均一に成膜することが技術上困難である。また成膜温度が600℃以上と高いので、安価なガラス基板が使用できないという生産性及びコストの問題があった。

【0007】また、(2)の方法では、溶融固化過程の結晶化現象を利用するため、小粒径ながら粒界が良好に処理され、高品質な結晶性ケイ素膜が得られる。一方、現在最も一般的に使用されているエキシマレーザーを例にとると、レーザー光の照射面積が小さくスループットが低いという問題がまず有り、また大面積基板の全面を均一に処理するにはスループットの安定性が充分ではないという問題を有している。レーザー光を用いるのは、次世代の技術という感が強い。

【0008】(3)の方法は、(1)、(2)の方法と比較すると大面積に対応できるという利点があるが、結晶化に際し、600℃以上の高温にて数十時間にわたる加熱処理が必要であるという問題点がある。すなわち、安価なガラス基板の使用とスループットの向上を考えると、加熱温度を下げ、さらに短時間で結晶化させるという相反する問題点を同時に解決する必要がある。また、

(3)の方法では、固相結晶化現象を利用するため、結晶粒は基板面に平行に広がり、数 μm の粒径を持つものさえ現れるが、成長した結晶粒同士がぶつかり合いながら粒界が形成されるため、その粒界はキャリアに対するトラップ準位として働き、TFTに於けるキャリアの移動度を低下させる大きな原因となっている。

【0009】そこで、上記のような様々な問題点を全て解決するため、上記の(3)の方法において、結晶化に必要な温度の低温化と処理時間の短縮を両立し、さらには粒界の影響を最小限とした結晶性ケイ素薄膜の作製方法が、本願出願人によって特願平5-218156で提案されている。この提案された技術は、本発明の基礎となる技術であり、本発明の従来技術ではない。

【0010】この方法では、結晶成長の核としてNi等の不純物元素を非晶質ケイ素膜に導入することによって、結晶化初期の核生成速度と、その後の核成長速度とが飛躍的に向上され、従来考えられなかったような580℃以下の温度において4時間程度の熱処理で、十分な特性を有する結晶性ケイ素膜が得られる。この結晶化の

メカニズムは、不純物元素を核とした結晶核発生が加熱工程の早期に起こり、その後、その不純物元素が触媒となって結晶化を助長し、結晶成長が急激に進行することによる。以後、これらの不純物元素を触媒元素と呼ぶ。

【0011】この方法を利用して、基板の一部に選択的に触媒元素を導入することによって、レーザー結晶化のように同一基板内に選択的に結晶性ケイ素膜と非晶質ケイ素膜とを形成することが可能となる。さらに、その後、熱処理を継続させると、選択的に触媒元素が導入され、結晶化している部分から、その周辺部の非晶質部分へと横方向（基板面に平行な方向）に結晶成長部分が延びる現象が起きる。この横方向結晶成長領域では、基板と平行に針状あるいは柱状の結晶が成長方向に沿って延びており、その成長方向において結晶粒界が存在しない。故に、この横方向結晶成長領域を利用してTFTのチャンネル部を形成することによって、高性能なTFTが実現可能となる。

【0012】列を挙げると、図16に示すような要領でTFTチャンネル部を形成する。図16は、横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。すなわち、基板全面に形成された非晶質ケイ素膜上に二酸化ケイ素膜などからなるマスク806を堆積し、そのマスク806に触媒元素添加用の穴を触媒元素添加領域800として開け、触媒元素を導入する。次に約550℃の温度で4時間程度の熱処理を行うと、触媒元素添加領域800内の非晶質ケイ素膜が結晶化し、非晶質ケイ素膜のそれ以外の部分が非晶質ケイ素のままで残る。さらに8時間程度熱処理を継続すると、触媒元素添加領域800を中心として矢符801のような成長方向で横方向結晶成長が進行し、横方向結晶成長領域802が形成される。

【0013】その後、この横方向結晶成長領域802を利用して、従来の方法に従いTFTを作製する。その際、横方向結晶成長領域802に対しソース領域803、チャンネル領域804、ドレイン領域805を図16(A)のように、矢符801に沿って隣接した配置で設けることにより、キャリアが移動する方向と結晶成長方向801とが同一方向となり、キャリアの移動方向に結晶粒界が存在しない高移動度TFTが実現できる。また、横方向結晶成長領域802に対し、ソース領域803、チャンネル領域804、ドレイン領域805を、図16(B)のように、矢符801と垂直方向に沿って隣接した配置で設けることにより、キャリアの移動する方向と結晶成長方向801とが交差し、その移動に対して多数の結晶粒界を横切ることになる。結果として、ソース／ドレイン間の抵抗は増大し、移動度は低下するが、TFTオフ動作時のリーク電流の小さなTFTが得られる。

【0014】

【発明が解決しようとする課題】上記の特願平5-21

8156の技術は、以上述べたように非常に有効なものである。一方、上記の技術を用いるには、少なくともTFTのチャンネル領域を覆う横方向結晶成長距離が必要であることが想定される。横方向結晶成長が到達しない領域は非晶質ケイ素膜として残るから、横方向結晶成長が不十分であれば、チャンネル領域内に横成長結晶性ケイ素膜と非晶質ケイ素膜が存在することになり、TFTの特性を大きく低下させてしまうことが想定される。しかしながら、長大な横方向結晶成長を得るためには長時間にわたる加熱処理が必要で、スループットを低下させる大きな原因となる。

【0015】上記の特願平5-218156では、図16に示すように、矩形状に触媒元素を導入している。この方法では、非晶質ケイ素膜に添加された触媒元素は四方八方に拡散していくため、後で示すように、触媒元素添加用のパターン形状および大きさによって、横方向結晶成長距離にばらつきが生じることが想定される。この原因に関する考察を図17を用いて説明する。横方向結晶成長領域902は、触媒元素が直接添加され、触媒元素添加領域900に対応する範囲の先に結晶化した部分の端部に偏在した触媒元素が周囲に拡散することによって成長する。

【0016】例えば、触媒元素添加領域900が図17のように長方形であれば、角部906における横方向結晶成長方向901の自由度は理論上270℃であり、触媒元素の密度が、触媒元素添加領域900の他の周辺部907よりも実質上小さいことになる。故に角部906では横方向結晶成長距離が他の部分に比べて短く、角部906にその周辺部の触媒元素が取り込まれる。結果として、触媒元素添加領域900が小さいパターンであるほど、横方向結晶成長距離が短くなる。特にアクティブマトリクス基板の画素スイッチング素子のような小さいサイズのTFTでは、十分な長さの横方向結晶成長距離が得られないことが想定される。

【0017】また、横方向結晶成長においては、結晶成長中に成長方向に存在するa-Si膜の自然核発生、あるいはa-Si膜中の酸素、炭素、および窒素、その他金属元素等の不純物による影響で、結晶成長方向が分岐する現象が生じる。横方向結晶成長の距離を大きくすると、その先端部では横方向結晶成長領域を構成する針状結晶あるいは柱状結晶の分岐、曲がりなどが多くなり、結晶成長方向が一次的に揃った高品質な結晶性ケイ素膜を得ることが困難になることが想定される。また、図17に示したように、触媒元素添加領域900の角部906付近では、前述の理由から、結晶成長方向が特に乱れており、それ以外の横方向結晶成長領域の結晶の特性に大きく影響を与えることになる。結晶性ケイ素膜を用いたTFTにおいて、結晶成長の方向を揃えることは、素子の高性能化に不可欠であり、前述のような現象は大きな問題として残ることが想定される。

【0018】本発明は、上記(1)～(3)の従来技術の問題点を解決すべくなされたものであり、TFTを効率よく横方向結晶成長領域に作製し、キャリアの高移動度の実現による高性能で安定した特性のTFTを、基板全面に亘って形成することができ、更に、結晶化に必要な時間を短縮することができる半導体装置、およびその製造方法を提供することをその目的とする。

【0019】

【課題を解決するための手段】詳しく述べると本発明は以下の特徴を有する。

【0020】本発明の半導体装置は、結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、前記チャネル領域は、非晶質ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、予め定めるアニール温度による加熱処理により、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた結晶性ケイ素膜により形成されたものであって、前記チャネル領域が、前記触媒元素の導入領域から、該アニール温度で結晶性ケイ素膜が形成される範囲内に配置されており、そのことによって、上記目的を達成することができる。

【0021】本発明に於いて、前記チャネル領域が、前記触媒元素の導入領域から距離120 μ m以内の位置に配置されている場合がある。

【0022】本発明に於いて、前記チャネル領域は、前記結晶性ケイ素が一次元的結晶方向を有する範囲内であって、更に、前記結晶性ケイ素が、前記結晶方向に関して、前記一次元的結晶方向からの分岐または屈曲する数が2以下の範囲に配置されている場合がある。

【0023】本発明に於いて、前記チャネル領域は、前記触媒元素の導入領域から、60 μ m以内の位置に配置されている場合がある。

【0024】本発明に於いて、前記チャネル領域は、前記結晶性ケイ素が、前記結晶方向に関して、前記一次元的結晶方向からの分岐または屈曲する数が1以下の範囲に形成されている場合がある。

【0025】本発明に於いて、前記チャネル領域は、前記触媒元素の導入領域から、30 μ m以内の位置に配置されている場合がある。

【0026】本発明の半導体装置は、結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、前記チャネル領域は、非晶質ケイ素膜に該ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、予め定めるアニール温度による加熱処理により、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた結晶性ケイ素膜により形成されたものであって、前記触媒元素が導入された線状領域の長軸方向における、前記チャネル領域と前記線状領域端部との距離

が、前記チャネル領域から、前記アニール温度で一次元的結晶方向を有する結晶性ケイ素が形成される範囲内とされており、そのことによって、上記目的を達成することができる。

【0027】本発明に於いて、前記触媒元素が導入された線状領域の長軸方向における、前記チャネル領域と前記線状領域端部との距離が30 μ m以上である場合がある。本発明の半導体装置は、結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、前記チャネル領域は、非晶質ケイ素膜に該ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、加熱処理し、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた結晶性ケイ素膜により形成されたものであって、前記触媒元素を導入する線状領域の長軸方向の長さは、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める長さ以上の長さに定められ、そのことによって上記目的を達成することができる。

【0028】本発明に於いて、前記触媒元素を導入する線状領域の長軸方向の前記予め定める長さが120 μ m以上である場合がある。

【0029】本発明の半導体装置は、結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、前記チャネル領域は、非晶質ケイ素膜に該ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、加熱処理し、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた結晶性ケイ素膜により形成されたものであって、前記触媒元素を導入する線状領域の長軸方向と交差する方向の幅は、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める幅以上の幅に定められ、そのことによって、上記目的が達成される。

【0030】本発明に於いて、前記触媒元素を導入する線状領域の前記予め定める幅が5 μ m以上である場合がある。

【0031】本発明の半導体装置は、結晶性を有するケイ素膜を利用してチャネル領域が絶縁表面を有する基板上に構成された半導体装置であって、非晶質ケイ素膜に該ケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、加熱処理により、前記触媒元素が選択的に導入された1本の線状の領域の周辺部において、基板表面において、基板表面に平行に結晶成長させた結晶性ケイ素膜を利用して、複数の薄膜トランジスタが設けられており、そのことによって、上記目的を達成することができる。

【0032】本発明に於いて、前記触媒元素が導入された1本の線状領域の両側に薄膜トランジスタを構成した場合がある。

10

20

30

40

50

【0033】本発明に於いて、前記チャネル領域は、非晶質ケイ素膜にケイ素膜の結晶化を助長する触媒元素を選択的に線状に導入し、加熱処理により、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に平行に結晶成長させた後、レーザー光または高照度の光を照射することによって形成された結晶性ケイ素膜である場合がある。

【0034】本発明に於いて、触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As、Sbから選ばれた一種または複数種類の元素が用いられる場合がある。

【0035】本発明の半導体装置の製造方法は、基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状にする工程と、加熱によって前記非晶質ケイ素膜を結晶化させ、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記基板表面に対し概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で薄膜トランジスタを形成する工程とを有する半導体装置の製造方法において、前記チャネル領域の位置が、前記触媒元素の導入領域から、該アニール温度で結晶性ケイ素膜が形成される範囲内となるようにされており、そのことによって、上記目的を達成することができる。

【0036】本発明に於いて、前記チャネル領域が、前記触媒元素の導入領域から距離120 μ m以内の位置に形成される場合がある。

【0037】本発明に於いて、前記チャネル領域は、前記結晶性ケイ素が一次元的結晶方向を有する範囲内であって、更に、前記結晶性ケイ素が、前記結晶方向に関して、前記一次元的結晶方向からの分岐または屈曲する数が2以下の範囲に形成される場合がある。

【0038】本発明に於いて、前記チャネル領域は、前記触媒元素の導入領域から、60 μ m以内の位置に形成される場合がある。

【0039】本発明に於いて、前記チャネル領域は、前記結晶性ケイ素が、前記結晶方向に関して、前記一次元的結晶方向からの分岐または屈曲する数が1以下の範囲に形成される場合がある。

【0040】本発明に於いて、前記チャネル領域は、前記触媒元素の導入領域から、30 μ m以内の位置に配置されている場合がある。

【0041】本発明の半導体装置の製造方法は、基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化させ、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で

薄膜トランジスタを形成する工程とを有する半導体装置の製造方法において、前記触媒元素が導入された線状領域の長軸方向における、前記線状領域端部と、前記薄膜トランジスタのチャネル領域との前記線状領域長軸方向における距離が、前記チャネル領域から、前記アニール温度で一次元的結晶方向を有する結晶性ケイ素が形成される範囲内となるように前記薄膜トランジスタが構成されており、そのことによって、上記目的を達成することができる。

【0042】本発明に於いて、前記触媒元素が導入された線状領域の長軸方向における、前記線状領域端部と、前記薄膜トランジスタの前記チャネル領域との前記線状領域長軸方向に於ける距離が30 μ m以上となるように前記薄膜トランジスタが構成される場合がある。

【0043】本発明の半導体装置の製造方法は、基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で薄膜トランジスタを形成する工程とを有する半導体装置の製造方法において、前記触媒元素を導入する線状領域の長軸方向の長さは、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める長さ以上の長さに定められ、そのことにより、上記目的が達成される。

【0044】本発明に於いて、前記触媒元素を導入する線状領域の長軸方向の前記予め定める長さが120 μ m以上である場合がある。

【0045】本発明の半導体装置の製造方法は、基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で薄膜トランジスタを形成する工程とを有する半導体装置の製造方法において、前記触媒元素を導入する線状領域の長軸方向と交差する方向の幅は、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める幅以上の幅に定められ、そのことによって上記目的が達成される。

【0046】本発明に於いて、前記触媒元素を導入する線状領域の前記予め定める幅が5 μ m以上である場合がある。

【0047】本発明の半導体装置の製造方法は、基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状

に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化させ、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記触媒元素を導入した1本の線状領域から基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜で複数の薄膜トランジスタを形成する工程と、を少なくとも有しており、そのことによって、上記目的を達成することができる。

【0048】本発明に於いて、前記触媒元素が導入された1本の線状領域の両側に薄膜トランジスタを構成する場合がある。

【0049】本発明に於いて、基板上に非晶質ケイ素膜を形成する工程と、該工程の前または後において、結晶化を助長する触媒元素を選択的に線状に導入する工程と、加熱によって前記非晶質ケイ素膜を結晶化させ、前記触媒元素が選択的に導入された線状領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、該工程の後にレーザー光または強光を照射し、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性ケイ素膜の結晶性を助長する工程と、前記ケイ素膜で薄膜トランジスタを形成する工程と、を少なくとも有する場合がある。

【0050】本発明に於いて、触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As、Sbから選ばれた一種または複数種類の元素が用いられる場合がある。

【0051】

【作用】本発明の作用について、以下に説明する。

【0052】請求項1～6および請求項17～22に記載されている半導体装置およびその製造方法における作用について説明する。成長初期はアニール時間に比例して横方向結晶成長距離 L は延びるが、そのうち、所定の横方向成長距離 L で飽和し、それ以上成長しない。横方向成長距離 L の限界値が存在する理由は、成長方向における $a-Si$ 領域の自然核発生による結晶成長にあり、横方向結晶成長領域が通常の結晶成長領域と衝突し、成長が終了する。ここで重要なのは、横方向結晶成長距離がアニール時間に比例しなくなるポイントで、この地点から $a-Si$ 領域で成長が始まり、横方向結晶成長領域に通常の結晶成長領域が混じり合うことになる。すなわち、横方向結晶成長距離が、触媒元素の導入領域から、該アニール温度で結晶性ケイ素膜が形成される範囲を超えた領域では、針状結晶あるいは柱状結晶と通常の固相成長法で得られる双晶が混じり合い、結晶性は極めて悪くなっている。したがって、横方向結晶成長距離が前記触媒元素の導入領域から、該アニール温度で結晶性ケイ素膜が形成される範囲内の領域の結晶性ケイ素膜を利用して、例として、横方向結晶成長距離が $120\mu m$ 以下で、TF Tのチャネル領域を形成することで、目的とす

る良好な特性の半導体装置が得られる。

【0053】また、横方向結晶成長距離が大きくなると指数関数的に針状結晶あるいは柱状結晶の分岐および曲がりの数が増大する。これは、不純物による分岐・曲がりだけでなく、アニール時間の増大にともない成長方向の $a-Si$ 領域の核発生が寄与するようになるからである。例として、針状結晶あるいは柱状結晶の分岐・曲がりの平均数が2以下の領域（例として、横方向結晶成長距離 $60\mu m$ 以内の領域）は、成長方向がほぼ一次的に揃った良好な結晶性を示し、さらに、針状結晶あるいは柱状結晶の分岐・曲がりの平均数が1以下（横方向結晶成長距離 $30\mu m$ 以内）となると、理想に近い横方向結晶成長ケイ素膜が得られる。これらの分岐・曲がりの平均数が2以下、さらに好適には1以下の結晶性ケイ素膜でTF Tのチャネル部を構成することによって、TF T特性、特に移動度において極めて優れたTF Tが得られる。よって、TF Tのチャネル部を構成する位置として、前記チャネル領域が、前記触媒元素の導入領域から、該アニール温度で結晶性ケイ素膜が形成される範囲内に配置され、更に、好適には $60\mu m$ 以下、さらに最適には $30\mu m$ 以下であれば、なおさら良い。

【0054】次に、請求項7～8および請求項23～24に記載されている半導体装置およびその製造方法における作用について説明を行う。触媒元素添加領域端部からの距離が、前記チャネル領域から、前記アニール温度で一次的結晶方向を有する結晶性ケイ素が形成される範囲外の領域では、横方向結晶成長距離 L の減少が見られる。これは、以前に説明したように、触媒元素添加領域の角部で結晶成長方向が発散し、触媒元素がその部分でのみ多量に消費されるため、角部付近では横方向結晶成長距離 L が著しく短くなることに起因する。すなわち、触媒元素添加領域端部からの距離が、前記チャネル領域から、前記アニール温度で一次的結晶方向を有する結晶性ケイ素が形成される範囲外の横方向結晶成長領域では、触媒元素が不足していると共に、触媒元素添加領域端部における結晶成長方向の乱れの影響を受けて、一次的な横方向結晶成長が行われていないことになる。

【0055】故に、触媒元素添加領域の端部からY方向への距離が、前記チャネル領域から、前記アニール温度で一次的結晶方向を有する結晶性ケイ素が形成される範囲内の横方向結晶成長領域では、横方向結晶成長距離 L が安定し、結晶成長方向が一次的に揃った横方向結晶成長ケイ素膜が得られる。したがって、触媒元素添加領域の端部からY方向への距離が、前記チャネル領域から、前記アニール温度で一次的結晶方向を有する結晶性ケイ素が形成される範囲内となるような位置にTF Tのチャネル領域を形成することで、従来のものより性能および安定性に優れた半導体装置が得られる。前記チャネル領域から、前記アニール温度で一次的結晶方向を

有する結晶性ケイ素が形成される範囲内となるようなTFTのチャネル領域を形成する位置は、前記チャネル領域から、前記アニール温度で一次元的結晶方向を有する結晶性ケイ素が形成される範囲内であり、好適には30 μm 以上以上であればよい。本発明は、そのことによって、上記目的を達成することができる。

【0056】次に、請求項9～10および請求項25～26に記載されている半導体装置およびその製造方法における作用について説明を行う。前述した横方向結晶成長距離Lの測定点は、触媒元素添加領域の長軸方向の中央付近の位置である。前記触媒元素添加領域のX方向の幅が例として40 μm 等の所定の幅である場合、前記触媒元素を導入する線状領域の長軸方向の長さは、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める長さ以上の長さに定められる。このとき、横方向結晶成長距離Lの減少が見られる。また、触媒元素添加量を上げて、触媒添加領域の長軸方向の長さに対する横方向結晶成長距離Lの変化が、全体として横方向結晶成長距離Lが増大する方向にシフトするだけで、触媒元素添加領域の面積、例として長軸方向の長さに対する成長距離Lの依存性は変わらない。

【0057】これは、前述のように、触媒元素添加領域の角部で結晶成長方向が発散し、触媒元素がその部分でのみ多量に消費されるため、該角部付近では横方向結晶成長距離Lが著しく短くなることに起因する。すなわち、触媒添加領域の長軸方向の長さが、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める長さ未満では、十分な距離の横方向結晶成長領域が得られない。また、触媒元素が不足しているため、触媒元素添加領域端部における結晶成長方向の乱れの影響を受けて、一次元的に成長方向の揃った高品質な横方向結晶成長領域が得られない。故に、触媒元素添加領域の長軸方向の長さを、前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める長さ以上に定めることにより、一定の横方向結晶成長距離Lが安定して得られる。これにより、その後の製造工程を容易に進めることが可能となるだけでなく、結晶成長方向が一次元適に揃った横方向結晶成長ケイ素膜によって、特性面で優れた半導体装置が得られる。

【0058】前記触媒元素添加領域の長軸方向の長さは、好適には120 μm 以上であることが好ましい。

【0059】次に、請求項11～12および請求項27～28に記載されている半導体装置およびその製造方法における作用について説明を行う。横方向結晶成長距離Lの測定点は、触媒元素添加領域の長軸方向の中央付近の位置であり、触媒元素添加領域の長軸方向（Y方向）の長さは例として200 μm である。触媒元素添加領域の幅が、結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める幅未満に定められる場合では、横方向結晶成長距離Lが減少する。さらに、触媒元素添加

領域の前記幅例として1 μm 未満など極めて小さい場合、横方向結晶成長が起きない。すなわち、触媒元素添加領域の幅が前記線状領域から成長する距離が飽和する予め定める幅未満に定められる場合では、十分な距離の横方向結晶成長領域が得られないだけでなく、横方向結晶成長距離Lのばらつきも大きく、実用的でない。

【0060】故に、触媒元素添加領域の前記幅を前記結晶性ケイ素が前記線状領域から成長する距離が飽和する予め定める幅以上の幅に定められる場合では、一定の横方向結晶成長距離Lが安定して得られるため、その後の製造工程が容易に進めることが可能となり、均一性に優れた高性能半導体装置が得られる。前記予め定める幅は、好適には、5 μm が好ましい。

【0061】次に、請求項13および請求項29に記載されている半導体装置およびその製造方法における作用について説明を行う。触媒元素添加領域を線状に延長し、1個の触媒元素添加領域から成長した横方向結晶成長ケイ素膜で複数のTFTを作製することで、複数のTFTを1枚の基板上に有する半導体装置としては、均一性に非常に優れた半導体装置が得られる。結晶性ケイ素膜をチャネル領域に用いたTFTの特性は、主にその結晶性ケイ素膜の結晶性で決定されるため、結晶性の微妙な違いが素子の特性のばらつきとなって現れてくる。

【0062】本発明では、1個の触媒元素添加領域から横方向結晶成長させた結晶性ケイ素膜に複数のTFTを作製することで、それら複数のTFTのチャネル領域を構成する結晶性ケイ素膜は同様の結晶性を示し、その結果、それらの複数のTFT間で特性面のばらつきがほとんど無く、動作特性の均一性に優れた半導体装置が得られる。本発明は、液晶表示装置のアクティブマトリクス基板のように1枚の基板上に数万個に及ぶ素子を形成する場合に特に有効で、今まで個々のTFT毎にポイント的にばらついていたTFTの特性を、各行方向或いは各列方向のTFT列間のライン的なばらつきにまで大きく低減することができる。

【0063】また、請求項14および30に記載されている半導体装置およびその製造方法によれば、線状の触媒元素添加領域の片側だけでなく、その両側の横成長結晶性ケイ素膜を用いることで、さらに素子のばらつきを半減できる。また、この線状の触媒元素添加領域の両側を利用して、片側にN型TFT、そしてもう一方にP型TFTを作製することで、安定した特性のCMOS（相補型金属-酸化膜-シリコン構造トランジスタ）回路が得られる。

【0064】以上述べたように、本発明は、大きく分けて5つの発明により構成される。請求項15および31に記載されている半導体装置およびその製造方法によれば、これらの半導体装置及びその製造方法において、加熱処理により横方向結晶成長させた結晶性ケイ素膜に、レーザー光あるいは高照度の光の照射を行うことによっ

て、前記結晶性ケイ素膜の結晶粒界部分が重点的にアニールされ、固相成長結晶性ケイ素で特に問題となる結晶粒界によるキャリアのトラップ準位密度を大きく低減することができ、結晶性をさらに向上することができる。

【0065】また、請求項16および32に記載されている半導体装置およびその製造方法によれば、触媒元素としてNiを用いた場合にも顕著な効果を得ることができるが、その他利用できる触媒元素の種類としては、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As、Sbを利用することができる。これらから選ばれた一種または複数種類の元素であれば、微量（ 10^{14} cm^{-3} 程度）で結晶化助長の効果があるため、半導体素子への影響は問題はない。

【0066】

【実施例】本発明の特徴について図10に基づいて説明する。図10は、本発明に基づく横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。すなわち、基板全面に形成された非晶質ケイ素膜上に二酸化ケイ素膜などからなるマスク703を堆積し、そのマスク703に触媒元素添加用の穴を触媒元素添加領域（以下、領域）700として開け、触媒元素を導入する。二酸化ケイ素膜の領域700を含む範囲の非晶質ケイ素膜が結晶化し、領域700を中心として横方向結晶成長が進行し、横方向結晶成長領域701が形成される。横方向結晶成長領域701を用いて、トランジスタのチャンネル領域702が形成される。図10に於いて示されている各変数a、b、c、dは、以下に説明するように、本発明の趣旨を示す量である。

【0067】以下に、請求項1～6および請求項17～22に記載されている発明の実施例の半導体装置およびその製造方法の特徴について説明する。図11は、領域700から横方向結晶成長領域701先端部までの距離Lに対する、アニール温度580℃での、横方向結晶成長距離Lのアニール時間依存性を表すグラフである。図11から、成長初期はアニール時間に比例して横方向結晶成長距離Lは延びるが、そのうち、横方向成長距離140 μm 程度で飽和し、それ以上成長しないことがわかる。横方向成長距離Lの限界値が存在する理由は、成長方向におけるa-Si領域の自然核発生による結晶成長にあり、横方向結晶成長領域がa-Si領域の通常の結晶成長領域とぶつかり合って、成長が終了する。

【0068】ここで重要なのは、横方向結晶成長距離Lがアニール時間に比例しなくなるポイントである。この地点からa-Si領域で成長が始まり、横方向結晶成長領域701に通常の結晶成長領域が混じり合うことになる。すなわち、図11からわかるように、横方向結晶成長距離Lが120 μm を超える領域では、針状結晶あるいは柱状結晶と通常の固相成長法で得られる双晶が混じり合い、結晶性は極めて悪くなっている。したがって、横方向結晶成長距離Lが120 μm 以下の領域の結晶性

ケイ素膜を利用して、すなわち図10において、領域700のチャンネル領域702側端部と、チャンネル領域702の領域700と反対側端部との距離aが120 μm 以下の範囲の結晶性ケイ素膜を用いて、TFTのチャンネル領域702を形成することで、目的とする良好な特性の半導体装置が得られる。

【0069】図12は、横方向結晶成長領域を構成する針状結晶1本における分岐あるいは曲がりの数を縦軸にとり、横軸に横方向結晶成長距離Lをとったグラフである。図12のグラフは、TEM（Transmission Electron Microscopy；透過型電子顕微鏡）観測によって針状結晶あるいは柱状結晶1本の分岐、曲がりの数を測定し、平均化したデータである。図12において、横方向結晶成長距離Lが大きくなると、指数関数的に針状結晶あるいは柱状結晶の分岐および曲がりの数が増大するのは、不純物による分岐・曲がりだけでなく、アニール時間の増大にともない成長方向のa-Si領域で発生した核が寄与するようになるからである。

【0070】針状結晶あるいは柱状結晶の分岐・曲がりの平均数が2以下の領域、具体的には、図12から分かるように、横方向結晶成長距離Lが60 μm 以内の領域は、成長方向がほぼ一次元的に揃った良好な結晶性を示し、さらに、針状結晶あるいは柱状結晶の分岐・曲がりの平均数が1以下の領域、具体的には、図12から分かるように、横方向結晶成長距離Lが30 μm 以内の領域では、理想に近い横方向結晶成長ケイ素膜が得られる。これらの分岐・曲がりの平均数が2以下、さらに好適には1以下の結晶性ケイ素膜でTFTのチャンネル部702を構成することによって、TFT特性、特にキャリアの移動度において極めて優れたTFTが得られる。よって、TFTのチャンネル部702を構成する位置として、図10における距離aは、領域700から、前記アニール温度で結晶性ケイ素膜が形成される範囲内に選ばれ、好適には60 μm 以下、さらに最適には30 μm 以下であれば、なおさら良い。

【0071】次に、請求項7～8および請求項23～24に記載されている発明の実施例の半導体装置およびその製造方法における特徴について説明を行う。図13は、図10に於ける領域700の長軸方向端部からY方向に沿う距離bの位置に関するX方向の横方向結晶成長距離Lを表したグラフである。また、図13のグラフは、前記非晶質ケイ素膜を、アニール温度550℃で16時間アニールした後に測定したデータを示している。図13からわかるように、領域70の前記端部からの前記距離bが30 μm 以下の領域では、横方向結晶成長距離Lの減少が見られる。これは、図17を用いて以前に説明したように、領域900の角部906で結晶成長方向が発散し、触媒元素がその部分でのみ多量に消費されるため、角部906付近では横方向結晶成長距離Lが著しく短くなることに起因する。

【0072】すなわち、図10に於ける、領域700の前記端部からの距離bが30 μ m以下の横方向結晶成長領域701では、触媒元素が不足していると共に、領域700の前記端部における結晶成長方向の乱れの影響を受けて、一次元的な横方向結晶成長が行われていないことになる。故に、図10において、領域700の前記端部からY方向への距離bが30 μ m以上となる横方向結晶成長領域では、横方向結晶成長距離Lが安定し、結晶成長方向が一次元的に揃った横方向結晶成長ケイ素膜が得られる。したがって、領域700の前記端部からY方向への距離bが30 μ m以上となるような位置にTFTのチャンネル領域702を形成することで、従来のものより性能および安定性に優れた半導体装置が得られる。

【0073】次に、請求項9～10および請求項25～26に記載されている発明の実施例の半導体装置およびその製造方法における特徴について説明を行う。図14は、図10に於て領域700の長軸方向(Y方向)の長さcに対するX方向の横方向結晶成長距離Lを表したグラフである。図14において、横方向結晶成長距離Lの測定ポイントは、領域700の長軸方向cの中央付近の位置であり、領域700のX方向の幅dは40 μ mである。図14のグラフは、前記非晶質ケイ素膜をアニール温度が550℃で、16時間アニールした後に測定したデータを示している。

【0074】図14からわかるように、領域700の長軸方向の長さcが120 μ m以下の場合では、横方向結晶成長距離Lの減少が見られる。また、触媒元素添加量を上げた場合、横方向結晶成長距離Lを示す特性曲線kが特性曲線jへと、全体として横方向結晶成長距離Lが増大する方向にシフトするだけで、領域700の長軸方向の長さcによる成長距離の依存性は変わらない。これは、前述のように、図17において領域900の角部906で結晶成長方向が発散し、触媒元素がその部分のみ多量に消費されるため、角部906付近では横方向結晶成長距離Lが著しく短くなることに起因する。すなわち、図10において、領域700の長軸方向の長さcが120 μ m以下では、十分な横方向成長距離Lの横方向結晶成長領域701が得られない。

【0075】また、触媒元素が不足して居るため、領域700の前記端部における結晶成長方向の乱れの影響を受けて、一次元的に成長方向の揃った高品質な横方向結晶成長領域701が得られない。故に、図10において、領域700の長軸方向の長さcを120 μ m以上とすることにより、一定の横方向結晶成長距離Lが安定して得られる。このため、その後の製造工程が容易に進めることが可能となるだけでなく、結晶成長方向が一次元的に揃った横方向結晶成長ケイ素膜により、特性面で優れた半導体装置が得られる。

【0076】次に、請求項11～12および請求項27～28に記載されている発明の実施例の半導体装置およ

びその製造方法における特徴について説明を行う。図15は、図10において領域700の短辺(X方向)の幅dに対するX方向の横方向結晶成長距離Lを表したグラフである。図15において、横方向結晶成長距離Lの測定ポイントは、領域700の長軸方向cの中央付近の位置であり、領域700の長軸方向(Y方向)の長さcは200 μ mである。図15のグラフは、前記非晶質ケイ素膜を、アニール温度が550℃で、16時間アニールした後に測定したデータを示している。

【0077】図15からわかるように、領域700の幅dが5 μ m以下の領域では、横方向結晶成長距離Lの減少が見られる。さらに、領域700の幅dが1 μ m以下では、横方向結晶成長が起きないことが確認された。すなわち、図10において、領域700の幅dが5 μ m以下では、十分な距離の横方向結晶成長領域701が得られないだけでなく、横方向結晶成長距離Lのばらつきも大きく、実用的でない。故に、図10において、領域700の幅dを5 μ m以上とすることによって、一定の横方向結晶成長距離Lが安定して得られるため、その後の製造工程が容易に進めることが可能となり、均一性に優れた高性能半導体装置が得られる。

【0078】次に、請求項13および請求項29に記載されている発明の実施例の半導体装置およびその製造方法における特徴について説明を行う。領域700を線状に延長し、1個の領域700から成長した横方向結晶成長ケイ素膜で複数のTFTを作製することで、複数のTFTを1枚の基板上に有する半導体装置としては、均一性に非常に優れた半導体装置が得られる。結晶性ケイ素膜をチャンネル領域702に用いたTFTの特性は、主にその結晶性ケイ素膜の結晶性で決定される。このため、結晶性の微妙な違いが素子の特性のばらつきとなって現れてくる。

【0079】本発明では、1個の領域700から横方向結晶成長させた結晶性ケイ素膜に複数のTFTを作製することで、それら複数のTFTのチャンネル領域702を構成する結晶性ケイ素膜は同様の結晶性を示し、その結果、それらの複数のTFT間で特性面のばらつきがほとんど無い均一性に優れた半導体装置が得られる。

【0080】本発明は、液晶表示装置のアクティブマトリクス基板のように1枚の基板上に数万個に及ぶ素子を形成する場合に特に有効で、今まで個々のTFT毎にポイント的にばらついていたTFTの特性を、各行方向或いは各列方向のTFT列間のライン的なばらつきにまで大きく低減することができる。

【0081】また、請求項14および請求項30に記載されている発明の実施例の半導体装置およびその製造方法に於いて、線状の領域700の片側だけでなく、両側の横成長結晶性ケイ素膜を用いることで、さらに素子のばらつきを半減できる。また、この線状の領域700の両側を利用して、片側にN型TFT、そしてもう一方に

10

20

30

40

50

P型TFTを作製することで、安定した特性のCMOS回路が得られる。

【0082】以上述べたように、本発明は、大きく分けて5つの発明により構成される。請求項15および請求項31に記載されている発明の実施例の半導体装置およびその製造方法において、加熱処理により横方向結晶成長させた結晶性ケイ素膜に、レーザー光あるいは高照度の光の照射を行うことにより、前記結晶性ケイ素膜の結晶粒界部分が重点的にアニールされ、固相成長結晶性ケイ素で特に問題となる結晶粒界によるキャリアのトラップ準位密度を大きく低減することができ、結晶性をさらに向上することができる。

【0083】また、請求項16および請求項32に記載されている発明の実施例の半導体装置およびその製造方法において、触媒元素としてNiを用いた場合にも顕著な効果を得ることができるが、その他利用できる触媒元素の種類としては、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As、Sbを利用することができる。これらから選ばれた一種または複数種類の元素であれば、微量（ 10^{-4} cm³程度）で結晶化助長の効果があるため、半導体素子への影響は問題はない。

【0084】〔実施例1〕本発明を用いた実施例1の半導体装置およびその製造方法について説明する。本実施例では、ガラス基板上にN型TFTを作製する際の工程において、本発明を利用した場合についての説明を行う。本実施例のTFTは、アクティブマトリクス型の液晶表示装置のドライバー回路や画素部分に用いることができるのは勿論、同一ガラス基板上にCPU（中央処理装置）を構成する半導体素子としても用いることができる。なお、本発明を実施したTFTの応用範囲としては、液晶表示装置のみではなく、一般に言われている薄膜集積回路に利用できることは言うまでもない。

【0085】図1は、本実施例で説明するTFTの製作工程の概要を示し、横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。図2は、図1の切断面線A-A'で切った断面図であり、図2

(A)→図2(F)の順に従って製作工程が順次進行する。

【0086】まず、ガラス基板101上に、例えばスパッタリング法によって膜厚200nm程度の酸化ケイ素からなる下地膜102を形成する。この酸化ケイ素膜は、ガラス基板101からの不純物の拡散を防ぐために設けられる。次に減圧CVD法（化学的気相成長法）あるいはプラズマCVD法によって、膜厚25～100nm、例えば80nmの真性（I型）の非晶質ケイ素膜（a-Si膜）103を成膜する。

【0087】次に、酸化ケイ素膜または窒化ケイ素膜等によって形成され、線状の領域100が透孔として形成されたマスク104を設ける。このマスク104の領域100に於いて、スリット状にa-Si膜103が露呈

される。即ち、図2(A)の状態を上面から見ると、図1のように、a-Si膜103が領域100でスリット状に露呈しており、他の部分はマスク104によって被覆されている状態となっている。図1において、切断面線A-A'で切った断面が図2(E)または図2(F)に対応する。本実施例では、図1(A)のように、ソース領域111、チャネル領域110およびドレイン領域112が、領域100の長軸方向と垂直な方向に沿って、この順に配置された状態でTFTを作製するが、図1(B)のように、ソース領域111、チャネル領域110およびドレイン領域112が、領域100の長軸方向と平行な方向に沿って、順に配置された状態でも、同様の方法で全く問題なくTFTを作製できる。

【0088】上記マスク104を設けた後、図2(B)に示すように、例えば酢酸ニッケルあるいは硝酸ニッケル等のニッケル塩の水溶液105をガラス基板101全面に塗布し、その後、スピナーにて均一膜厚として乾燥させる。この際の水溶液105中のニッケル濃度は50～200ppmが適当で、好ましくは100ppmである。領域100の部分では、析出したNiイオンがa-Si膜103と接触しており、a-Si膜103の領域100に相当する部分に、ニッケルの微量添加が選択的に行われたことになる。そして、これを水素還元雰囲気下、好ましくは、水素の分圧が0.1～1気圧の水素還元雰囲気下、または不活性雰囲気下（大気圧）のいずれかの雰囲気下で、加熱温度520～580℃で数時間から数十時間、例えば580℃で16時間アニールして、a-Si膜103を結晶化させる。

【0089】この際、ニッケルの微量添加が行われた前記領域100に相当する部分においては、ガラス基板101に対して垂直方向にa-Si膜103の結晶化が起こり、結晶性ケイ素膜103aが形成される。そして、領域100の周辺領域では、図2(C)において、矢印106で示すように、領域100から横方向（基板と平行な方向）に結晶成長が行われ、横方向結晶成長した結晶性ケイ素膜103bが形成される。それ以外のa-Si膜領域は、そのままa-Si膜103として残る。なお、上記結晶成長に際し、矢印106で示される基板と平行な方向の横方向結晶成長距離Lは140μm程度である。

【0090】その後、マスク104を除去し、結晶性ケイ素膜103bの不要な部分を除去して素子間分離を行う。この際、後にTFTのチャネル領域110が、触媒元素（本実施例ではNi）添加領域100からの距離a＝120μm以内の位置となるように、結晶性ケイ素膜103bのパターニングを行う。すなわち、図1(A)において、距離aを120μm以下としてTFTのチャネル領域110を形成する。距離aの値としては、さらに好適には60μm以下、最適には30μm以下であれば、上述の理由で更に良好な効果を奏することができ

る。

【0091】本実施例では、距離 a が $20\mu\text{m}$ となるように、 $a\text{-Si}$ 膜103のパターニングを行った。また、前述したような図1(B)に示すような配置でTFTを構成する際には、領域100のチャネル領域110側の端部から、チャネル領域110の領域100と反対側の端部までの距離 a' が $120\mu\text{m}$ 以下となるように、結晶性ケイ素膜103bをパターニングすれば、本発明の効果が得られる。以下の工程により、後にTFTのソース領域111、ドレイン領域112およびチャネル領域110からなる活性領域となる島状の結晶性ケイ素膜103bが形成され、図2(D)の状態を得る。

【0092】次に、上記の活性領域となる結晶性ケイ素膜103bを覆うように、膜厚 $20\sim 150\text{nm}$ 、ここでは 100nm の膜厚の酸化ケイ素膜をゲート絶縁膜107として成膜する。酸化ケイ素膜の形成には、ここでは、TEOS (Tetra Ethoxy Silane) を原料とし、酸素とともに基板温度 $150\sim 600^\circ\text{C}$ 、好ましくは $300\sim 450^\circ\text{C}$ で、RFプラズマCVD法で分解・堆積した。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を $350\sim 600^\circ\text{C}$ 好ましくは $400\sim 550^\circ\text{C}$ として形成してもよい。成膜後、ゲート絶縁膜107自身のバルク特性および結晶性ケイ素膜103b/ゲート絶縁膜107の界面特性を向上するために、不活性ガス雰囲気下で $400\sim 600^\circ\text{C}$ で $30\sim 60$ 分アニールを行った。

【0093】引き続いて、スパッタリング法によって、膜厚 $400\sim 800\text{nm}$ 、例えば 600nm のアルミニウムを成膜する。そして、アルミニウム膜をパターニングして、ゲート電極108を形成する。さらに、このアルミニウムのゲート電極108の表面を陽極酸化して、表面に酸化物層109を形成する。この状態が図2(E)に相当する。陽極酸化は、酒石酸が $1\sim 5\%$ 含まれたエチレングリコール溶液中で行い、最初一定電流で 220V までゲート電極108の電圧を上げ、その状態で1時間保持して終了させる。得られた酸化物層109の膜厚は 200nm である。なお、この酸化物層109は、後のイオンドーピング工程において、オフセットゲート領域を形成する膜厚となるので、後述するオフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0094】次に、イオンドーピング法によって、ゲート電極108とその周囲の酸化物層109をマスクとして、前記結晶性ケイ素膜103bに不純物(リン)を注入して、前記活性領域を形成する。ドーピングガスとして、フォスフィン(PH_3)を用い、加速電圧を $60\sim 90\text{kV}$ 、例えば 80kV 、ドーピング量を $1\times 10^{15}\sim 8\times 10^{15}\text{cm}^{-2}$ 、例えば $2\times 10^{15}\text{cm}^{-2}$ とする。この工程によって、不純物が注入された結晶性ケイ素膜10

3bの各領域111a、112aは、後にTFTのソース/ドレイン領域111、112となり、ゲート電極108およびその周囲の酸化層109にマスクされ、前記不純物が注入されない結晶性ケイ素膜の領域110aは、後にTFTのチャネル領域110となる。

【0095】その後、図2(E)に示すように、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した結晶性ケイ素膜の結晶性を改善させる。この際、使用するレーザーとしては、XeClエキシマレーザー(波長 308nm 、パルス幅 40nsec)を用い、エネルギー密度 $15.0\sim 400\text{mJ/cm}^2$ 、好ましくは $200\sim 250\text{mJ/cm}^2$ でレーザー光照射を行った。こうして形成されたN型不純物(リン)領域である前記領域111、112のシート抵抗は、 $200\sim 800\Omega/\square$ であった。

【0096】続いて、膜厚 600nm 程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜113として形成する。酸化ケイ素膜を用いる場合には、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって層間絶縁膜113を形成すれば、段差被覆性に優れた良好な層間絶縁膜113が得られる。また、 SiH_4 と NH_3 を原料ガスとしてプラズマCVD法で成膜された窒化ケイ素膜を用いて層間絶縁膜113を形成すれば、図2

(E)に示す前記ソース領域111、チャネル領域110およびドレイン領域112からなる前記活性領域116/ゲート絶縁膜107の界面へ水素原子を供給し、TFT特性を劣化させる不対結合手を低減する効果がある。

【0097】次に、層間絶縁膜113にコンタクトホール117を形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜をパターンニングして、TFTのソース電極とその配線114、およびドレイン電極とその配線115を形成する。そして最後に、1気圧の水素雰囲気中 350°C 、30分のアニールを行い、図2

(F)に示すTFT118を完成させる。

【0098】本TFT118を、例としてアクティブマトリクス型の液晶表示素子の画素電極をスイッチングする素子として用いる場合には、電極114、115のいずれか一方を、ITO(インジウム錫酸化物)など透明導電膜からなる画素電極に接続し、電極114、115のいずれか他方の電極から表示用の信号を入力すればよい。また、本TFT118を薄膜集積回路に用いる場合には、ゲート電極108上にもコンタクトホールを形成し、このコンタクトホールを介して、ゲート電極108と接続される必要とする配線を施せばよい。

【0099】以上の実施例にしたがって作製したN型TFT118は、電界効果移動度 $80\sim 120\text{cm}^2/\text{Vs}$ 、閾値電圧 $2\sim 3\text{V}$ という良好な特性を示した。ま

た、前述した本願出願人による特願 5 - 2 1 8 1 5 6 に
関して想定された種々の問題点をも解決している。

【0100】〔実施例 2〕本発明を用いた実施例 2 の半
導体装置およびその製造方法について説明する。本実施
例では、ガラス基板上に P 型 TFT を作製する際の工程
において、本発明を利用した場合についての説明を行
う。

【0101】以下において、図 3 は、本実施例で説明す
る TFT の作製工程の概要を示し、横方向結晶成長領域
を利用した TFT を基板上面から見た場合の平面図であ
る。図 4 は、図 3 の切断面線 B - B' で切った断面図で
あり、図 4 (A) → 図 4 (F) の順にしたがって作製工
程が順次進行する。

【0102】まず、図 4 (A) に示されるように、ガラ
ス基板 201 上に例えばスパッタリング法によって膜厚
200 nm 程度の酸化ケイ素または窒化ケイ素膜、例と
して、酸化ケイ素膜からなる下地膜 202 を形成する。
次に減圧 CVD 法あるいはプラズマ CVD 法によって、
膜厚 25 ~ 100 nm、例えば 50 nm の真性 (I 型)
の非晶質ケイ素膜 (a-Si 膜) 203 を成膜する。

【0103】次に、酸化ケイ素膜または窒化ケイ素膜等
によって形成され、線状の領域 200 が透孔として形成
されたマスク 204 を設ける。このマスク 204 の領域
200 によって、スリット状に a-Si 膜 203 が露呈
される。即ち、図 4 (A) の状態を上面から見ると、図
3 のように a-Si 膜 203 が領域 200 でスリット状
に露呈しており、他の部分はマスクされている状態とな
っている。図 3 において、切断面線 B - B' で切った断
面が図 4 (E) または図 4 (F) に対応する。本実施例
では、図 3 (A) のように、ソース領域 211、チャネル
領域 210 およびドレイン領域 212 が、領域 200
の長軸方向と垂直な方向に沿って、この順に配置された
状態で TFT を作製するが、図 3 (B) のように、ソー
ス領域 211、チャネル領域 210 およびドレイン領域
212 が、領域 200 の長軸方向と平行な方向に沿っ
て、順に配置された状態でも、同様の方法で全く問題な
く TFT を作製できる。

【0104】上記マスク 204 を設けた後、図 4 (B)
に示すように、スパッタリング法によって膜厚 0.5 ~
20 nm、例えば 2 nm のケイ化ニッケル膜 205 (化
学式 NiSi_x 、 $0.4 \leq x \leq 2.5$ 、例えば $x = 2.0$) を成膜する。そして、これを水素還元雰囲気下または
不活性雰囲気下で、加熱温度 520 ~ 580 °C で数時
間から数十時間、例として、550 °C で 16 時間アニ
ールして結晶化させる。

【0105】この際、ニッケル微量添加が行われた領域
200 に対応する a-Si 膜 203 の部分においては、
基板 201 に対して垂直方向に a-Si 膜 203 の結晶
化が起こり、結晶性ケイ素膜 203 a が形成される。そ
して、領域 200 の周辺領域では、図 4 (C) におい

て、矢印 206 で示すように、領域 200 から横方向
(基板と平行な方向) に結晶成長が行われ、横方向結晶
成長した結晶性ケイ素膜 203 b が形成される。それ以
外の a-Si 膜領域は、そのまま a-Si 膜 203 とし
て残る。なお、上記結晶成長に際し、矢印 206 で示さ
れる基板と平行な方向の横方向結晶成長距離 L は、80
μm 程度である。その後、マスク 204 を除去し、結晶
性ケイ素膜 203 b の不要な部分を除去して、素子間分
離を行う。

【0106】この際、図 3 (A) において、後に説明す
る TFT のチャネル領域 210 の長軸方向一端部から、
触媒元素 (本実施例では Ni) 添加領域 200 の長軸方
向に沿う同一側端部までの距離 b が 30 μm 以上となる
ように、結晶性ケイ素膜 203 b のパターニングを行
う。本実施例では、前記距離 b が 60 μm となるよう
に、結晶性ケイ素膜 203 b のパターニングを行った。
また、図 3 (B) に示すように、ソース領域 211、チ
ャネル領域 210 およびドレイン領域 212 が、領域 2
00 の長軸方向と垂直な方向に沿って、この順に配置さ
れた状態で TFT を構成する際には、前記距離 b と同様
に定義される距離 b' が 30 μm 以上となるように、結
晶性ケイ素膜 203 b をパターニングすれば、本発明の
効果が得られる。

【0107】以上の工程によって、後に、TFT のソー
ス領域 211、チャネル領域 210 およびドレイン領域
212 からなる活性化領域となる島状の結晶性ケイ素膜
203 b が形成され、図 4 (D) の状態を得る。

【0108】次に、上記の活性領域となる結晶性ケイ素
膜 203 b を覆うように膜厚 20 ~ 150 nm、ここ
では 100 nm の膜厚の酸化ケイ素膜をゲート絶縁膜 20
7 として成膜する。本実施例では、ゲート絶縁膜 207
の成膜方法としてスパッタリング法を用いた。スパッタ
リングには、ターゲットとして酸化ケイ素を用い、スパ
ッタリング時の基板温度は 200 ~ 400 °C の範囲内の
温度、例えば 350 °C、スパッタリング雰囲気は酸素と
アルゴンで、アルゴン/酸素 = 0 ~ 0.5、例えば 0.
1 以下とした。

【0109】引き続いて、スパッタリング法によって、
膜厚 40.0 nm のアルミニウム膜を成膜する。そして、
アルミニウム膜をパターニングしてゲート電極 208 を
形成した。その後、イオンドーピング法によって、ゲ
ート電極 208 をマスクとして活性領域に不純物 (ホウ
素) を注入する。ドーピングガスとして、ジボラン (B_2H_6) を用い、加速電圧を 40 kV ~ 80 kV、例えば
65 kV とし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、
例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程によっ
て、不純物が注入された結晶性ケイ素膜 203 b の各領
域 211 a、212 a は、後に TFT のソース領域 21
1 およびドレイン領域 212 となり、ゲート電極 208
にマスクされ不純物が注入されない結晶性ケイ素膜 20

3bの領域210aは、後にTFTのチャネル領域210となる。

【0110】その後、図4(E)に示すように、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した結晶性ケイ素膜203bの部分の結晶性を改善させる。この際、使用するレーザーとしては、KrFエキシマレーザー（波長248nm、パルス幅20nsec）を用い、エネルギー密度150~400mJ/cm²、好ましくは200~250mJ/cm²で照射を行った。こうして形成されたP型不純物（ホウ素）領域である前記ソース領域211、およびドレイン領域212のシート抵抗は、500~900Ω/□であった。

【0111】続いて、膜厚600nm程度の酸化ケイ素膜を層間絶縁膜213として形成する。酸化ケイ素膜を用いる場合、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって、酸化ケイ素膜を形成すれば、段差被覆性に優れた良好な層間絶縁膜213が得られる。

【0112】次に、層間絶縁膜213にコンタクトホール216を形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって、TFTのソース電極とその配線214、およびドレイン電極とその配線215を形成する。そして最後に、水素のプラズマ雰囲気中で350℃、30分のアニールを行い、図4(F)に示すTFT218を完成させる。

【0113】本TFT218を、例としてアクティブマトリクス型の液晶表示素子の画素電極をスイッチングする素子として用いる場合には、電極214または電極215のいずれか一方の電極をITOなど透明導電膜からなる画素電極に接続し、いずれか他方の電極から表示用の信号を入力する。また、本TFT218を薄膜集積回路に用いる場合には、ゲート電極208上にもコンタクトホールを形成し、このコンタクトホールを介して、ゲート電極208と接続される必要とする配線を施せばよい。

【0114】以上の実施例にしたがって作製したP型TFTは、電界効果移動度60~80cm²/Vs、閾値電圧-5~-8Vという良好な特性を示した。

【0115】〔実施例3〕本発明を用いた実施例3の半導体装置およびその製造方法について説明する。

【0116】図5は、本実施例の概要を示し、横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図であり、ソース領域311、ドレイン領域312、およびチャネル領域310を備え、作製されるTFTと触媒元素添加領域300、横方向結晶成長領域303bとの位置関係を示す図である。

【0117】実施例1、実施例2と同様の工程によ

て、ガラス基板上に下地膜、a-Si膜303を成膜する。次に、a-Si膜303の結晶化を助長する触媒元素の注入用のマスク304として、膜厚10nm~200nmの範囲で、例えば50nmの膜厚で酸化ケイ素膜を成膜する。この酸化ケイ素膜をパターニングし領域300の部分をエッチングすることで、a-Si膜303に触媒元素を選択添加するためのスルーホールである領域300を形成する。このとき、領域300において、後に形成するTFTの活性領域と向い合う辺の長さ、即ち、図5に示されている略矩形状の領域300の長軸方向の長さである距離cを、120μm以上となるようにする。

【0118】その後、このマスク304によって、スリット状にa-Si膜303が露呈している領域300に、ニッケルなどの結晶化を助長する元素の微量添加を、前記実施例1および実施例2と同様に行う。そして、このa-Si膜303を、不活性雰囲気下にて、加熱温度550℃で16時間程度アニールすることで結晶化させる。ここで、前記領域300内のa-Si膜303に於いて、a-Si膜303のガラス基板面に垂直方向である膜厚方向に結晶成長した縦成長結晶性ケイ素膜303aが形成され、領域300の周辺部では、領域300から、ガラス基板と平行な方向である横方向に結晶成長した横成長結晶性ケイ素膜303bが形成される。横成長結晶性ケイ素膜303bの矢印306方向の成長距離Lは80μm程度である。

【0119】上記のような触媒元素を添加するための領域300が、基板上に複数存在している場合には、どの領域300に基づく横成長性ケイ素膜303bにおいても、安定した一定の横方向結晶成長距離Lが得られる。その後、マスク304を除去し、横成長結晶性ケイ素膜303bの不要な部分を除去して素子間分離を行う。

【0120】以上の工程によって、後にTFTのソース領域311、ドレイン領域312およびチャネル領域310からなる活性領域となる島状の結晶性ケイ素膜303が成され、以後、実施例1、実施例2と同様の工程を経て目的とするTFT313が完成する。

【0121】〔実施例4〕本発明を用いた実施例4の半導体装置およびその製造方法について説明する。

【0122】図6は、本実施例の概要を示し、横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図であり、ソース領域411、ドレイン領域412、およびチャネル領域410を含む作製されるTFTと、触媒元素を添加する領域400と、横方向結晶成長領域403bとの位置関係を示す図である。

【0123】実施例1、実施例2と同様の工程によって、ガラス基板上に下地膜、a-Si膜403を成膜する。次に、a-Si膜403の結晶化を助長する触媒元素を添加するためのマスク404として、触媒元素を添加するための領域400をスルーホールとして有する膜

厚 10 nm ~ 200 nm、例えば 20 nm の酸化ケイ素膜を成膜する。この酸化ケイ素膜をパターニングし、領域 400 の部分をエッチングすることで、a-Si 膜 403 に触媒元素を選択添加するための領域 400 を形成する。このとき、図 6 において、触媒元素を添加する領域 400 の X 方向に沿う幅 d が 5 μ m 以上となるようにする。

【0124】その後、このマスク 404 によってスリット状に a-Si 膜 403 が露呈している領域 400 に、ニッケルなどの結晶化を助長する元素の微量添加を行う。そして、これを不活性雰囲気下にて、加熱温度 550℃ で 16 時間程度アニールすることで結晶化させる。領域 400 内では、a-Si 膜のガラス基板の表面に垂直な方向である膜厚方向に沿って結晶成長した縦成長結晶性ケイ素膜 403 a が形成され、領域 400 の周辺部では領域 400 から、ガラス基板と平行な方向である横方向に沿って結晶成長した横成長結晶性ケイ素膜 403 b (以下、前記縦成長結晶性ケイ素膜 403 a と横成長結晶性ケイ素膜 403 b とを総称して符号 403 で示す場合がある) が形成される。横成長結晶性ケイ素膜 403 b の矢印 406 方向の成長距離 L は 80 μ m 程度である。上記のような触媒元素を添加する領域 400 が基板上に複数存在している場合には、どの領域 400 に基づく横成長性ケイ素膜 403 b においても、安定した一定の横方向結晶成長距離 L が得られる。その後、マスク 404 を除去し、横成長結晶性ケイ素膜 403 b の不要な部分を除去して素子間分離を行う。

【0125】以上の工程によって、後にソース領域 411、ドレイン領域 412 およびチャネル領域 410 を有する TFT 413 の活性領域となる島状の結晶性ケイ素膜 403 が形成され、以後、実施例 1、実施例 2 と同様の工程を経て目的とする TFT 413 を作製する。

【0126】〔実施例 5〕本発明の半導体装置およびその製造方法を用いた実施例 5 について説明する。本実施例では、ガラス基板上に複数の TFT を作製する際の工程において、本発明を利用した場合についての説明を行う。本実施例の半導体装置はアクティブマトリクス型の液晶表示装置のドライバー回路や画素部分は勿論、薄膜集積回路にも利用できるが、ここでは液晶表示装置におけるアクティブマトリクス部の画素スイッチング TFT に応用した場合について説明する。

【0127】図 7 は、本実施例で説明する液晶表示装置のアクティブマトリクス表示部の作製工程の概要を示し、横方向結晶成長領域を利用した TFT を基板上面から見た場合の平面図である。本実施例に於いて、図 7

(A) から図 7 (E) の順に従って作製工程が順次進行する。実際には、液晶表示装置のアクティブマトリクス表示部は、数万個以上の TFT を含んで構成されるものである。本実施例では、本発明の趣旨を簡潔に説明するために、3×3 のアクティブマトリクス表示部を用いて

説明する。

【0128】まず、ガラス基板上に酸化ケイ素からなる下地膜を形成し、膜厚 50 nm 程度の a-Si 膜を形成し、a-Si 膜 503 を成膜する。その後、a-Si 膜 503 の結晶化を助長する触媒元素を選択添加するためのマスク 504 を設け、線状に a-Si 膜 503 が露呈されるように、触媒元素を選択添加するためのスルーホールである領域 500 を形成する。

【0129】上記マスク 504 を形成した後、蒸着法によって膜厚 1 nm のニッケル膜を成膜する。そして、このガラス基板を不活性雰囲気下、例えば 550℃ で 16 時間程度アニールして、前記 a-Si 膜 503 を結晶化させる。この際、図 7 (A) において、ニッケル微量添加が行われる領域 500 においては、ガラス基板表面に対して垂直方向に a-Si 膜 503 の結晶化が起こり、結晶性ケイ素膜 503 a が形成される。そして、領域 500 の周辺領域では、矢印 506 で示すように、領域 500 から横方向 (基板と平行な方向) に結晶成長が行われ、横方向結晶成長した結晶性ケイ素膜 503 b が形成される。それ以外の a-Si 膜 503 の領域は、そのまま a-Si 膜 503 として残る。その後、マスク 504 を除去して、図 7 (A) の状態を得る。

【0130】次に、横方向結晶成長した結晶性ケイ素膜 503 b の不要な部分を除去して素子間分離を行う。この際、図 7 (B) に示すように、一つのニッケル添加領域 500 から横方向結晶成長した横方向結晶性ケイ素膜 503 b で、複数 (本実施例では 3 個) の前記各実施例で説明した活性領域 503 c を形成する。このとき、図 7 (B) において、前記各実施例で説明した距離 a が 120 μ m 以内、距離 b が 30 μ m 以上、幅 d が 5 μ m 以上となるような位置に活性領域 503 c を形成すると、前記各実施例で説明したように、更に、良好な効果を達成することができる。この活性領域 503 c は、後に、TFT のソース領域、チャネル領域、およびドレイン領域となる領域である。図 7 (B) は a-Si 膜 503 のパターニング時にレジストパターンを形成した状態に相当する。この後、横方向結晶性ケイ素膜 503 b の不要な部分をエッチングして、図 7 (C) の状態を得る。

【0131】次に、上記の結晶性ケイ素膜 503 b の活性領域 503 c を覆うように、膜厚 120 nm 程度の酸化ケイ素膜をゲート絶縁膜として成膜し、引き続いて、膜厚 500 nm 程度のアルミニウム膜を成膜する。そして、アルミニウム膜をパターニングして、図 7 (D) に示すように、ゲート電極・配線 508 を形成する。この後、イオンドーピング法によって、ゲート電極 508 をマスクとして活性領域 503 c に不純物 (リンまたはホウ素) を注入する。この工程によって、不純物が注入された領域 511 a、512 a は、後に TFT 513 のソース領域 511、ドレイン領域 512 となり、ゲート電極 508 にマスクされ不純物が注入されない領域 510

aは、後にTFT513のチャネル領域510となる。

【0132】その後、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した活性領域503cを構成する結晶性ケイ素膜の結晶性を改善させる。

【0133】続いて、膜厚600nm程度の酸化ケイ素膜を層間絶縁膜として形成する。続いて、図7(E)に示すように、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFT513のソース電極とそれに連なる配線514、およびドレイン電極515を形成する。その後、電極515をITOなど透明導電膜からなる画素電極516に接続し、水素雰囲気中で350℃、30分のアニールを行い、図7(E)に示すTFT513を完成させる。

【0134】本実施例で作製したアクティブマトリクス基板では、1つの領域500から成長した横成長結晶性ケイ素膜503bで、それぞれ3個のTFT513を作製するため、これらの3つのTFT513は、相互に同一の動作特性を有することになる。

【0135】従来、結晶性ケイ素膜をチャネル領域に用いたTFTを用いて、3×3のアクティブマトリクス基板を作製した場合、各TFTを構成する結晶性ケイ素膜の結晶性の違いにより、9個のTFT間で動作特性がばらついていた。これに対し、本実施例では、3個のTFT513を含むグループ間にばらつきが生じる程度に、発生する可能性があるばらつきの密度を低減でき、該ばらつきが発生した場合に必要な補償処理が容易になる。実際のm×n個のTFTを有するアクティブマトリクス基板では、m×n個TFT間の動作特性のばらつきを、m個のTFTグループ間の動作特性のばらつきにその密度を低減できる。これにより、例として、アクティブマトリクス基板に於ける、製造工程の簡略化を図ることができる。また、本実施例では、線状の領域500から成長した横成長結晶性ケイ素膜503bの、領域500の幅方向の一方側の横成長結晶性ケイ素膜503bを利用してTFT513を作製したが、領域500の幅方向両側の横成長結晶性ケイ素膜503bを利用してTFT513を作製することで、さらにTFT513間の特性のばらつきが半減できる。

【0136】〔実施例6〕本発明を用いた実施例6について説明する。本実施例では、ガラス基板上にN型TFTと型PTFTとを相補型に構成したCMOS構造の回路の作製工程において、本発明を利用した場合についての説明を行う。本実施例では、触媒元素を添加するための1つの領域から横方向結晶成長した横方向成長結晶性ケイ素膜に関して、該1つの領域の幅方向両側の横成長結晶性ケイ素膜で、それぞれN型TFT、およびP型TFTを構成する場合について説明する。

【0137】図8は、本実施例で説明するTFTの作製工程の概要を示す平面図である。図9は、図8の切断面線C-C'で切った断面図である。図9(A)から図9(E)の順に従って製造工程が順次進行する。

【0138】まず、図9(A)に示すように、ガラス基板601上に、例えばスパッタリング法によって膜厚100nm程度の酸化ケイ素からなる下地膜602を形成する。次に減圧CVD法によって、膜厚25~100nm範囲内で、例えば膜厚50nmの真性(I型)の非晶質ケイ素膜(a-Si膜)603を成膜する。

【0139】次に、膜厚50nm程度の酸化ケイ素膜または窒化ケイ素膜等によって形成されたマスク604を設ける。このマスク604を選択的に除去し、触媒元素を添加するための注入口となる領域600を形成する。従って、領域600を通して線状にa-Si膜603が露呈する。即ち、図9(A)の状態を上面から見ると、図8のように触媒元素を注入するための領域600を通して、a-Si膜603が露呈しており、a-Si膜603の他の部分はマスクされている状態となっている。このとき、図8において、領域600の長軸方向の長さcが120μm以上、幅dが5μm以上となるように、領域600を形成する。これにより、後の工程で十分な横方向結晶成長距離Lが得られる。

【0140】上記マスク604を形成した後、例えば酢酸ニッケルあるいは硝酸ニッケル等のニッケル塩の水溶液をガラス基板601全面に塗布し、その後、スピナーにて均一膜厚で乾燥させる。この際の前記水溶液中のニッケル濃度は50~200ppmが適当で、好ましくは100ppmである。領域600の部分では、析出したNiイオンがa-Si膜603と接触しており、領域600に対応するa-Si膜603の部分に対するニッケル微量添加が選択的に行われたことになる。そして、これを水素還元雰囲気下または不活性雰囲気下に於いて、550℃で16時間アニールして、a-Si膜603を結晶化させる。

【0141】この際、図9(B)に示されるように、ニッケルの微量添加が行われた領域600においては、基板601に対して垂直方向にa-Si膜603の結晶化が起こり、結晶性ケイ素膜603aが形成される。そして、領域600の周辺領域では、図9(B)において、矢印606で示すように、領域600からガラス基板と平行な方向である横方向に結晶成長が行われ、横方向結晶成長したケイ素膜603bが形成される。それ以外のa-Si膜603の領域は、そのままa-Si膜として残る。引き続き、マスク604を除去し、レーザー光を照射することで結晶性ケイ素膜603bの結晶性を助長する。このときのレーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用いた。レーザー光の照射条件は、照射時にガラス基板を200~450℃、例えば400℃に加熱し、

エネルギー密度 $200 \sim 400 \text{ mJ/cm}^2$ の範囲内、例えば 300 mJ/cm^2 のエネルギー密度で照射した。

【0142】その後、図9 (C) に示すように、後に TFT のドレイン領域、チャネル領域、およびドレイン領域をそれぞれ含む各活性領域 603n、603p となる結晶性ケイ素膜 603b を残し、それ以外の領域をエッチング除去して素子間分離を行う。このとき、図8において、距離 a が $120 \mu\text{m}$ 以下、距離 b が $30 \mu\text{m}$ 以上となるように活性化領域 603n、603p となる前記 10 結晶性ケイ素膜 603b をそれぞれ形成することで、結晶成長方向が一次的に揃った高品質な横成長結晶性ケイ素膜 603b で TFT のチャネル領域を形成することができる。

【0143】上記の活性領域 603n、603p となる各結晶性ケイ素膜 603b を覆うように、膜厚 100 nm の酸化ケイ素膜をゲート絶縁膜 607 として成膜する。本実施例では、ゲート絶縁膜 607 の成膜方法として TEOS を原料とし、酸素とともに基板温度 350°C で、RF プラズマ CVD 法で分解・堆積した。

【0144】引き続き、図9 (D) に示すように、スパッタリング法によって膜厚 $400 \sim 800 \text{ nm}$ の範囲内、例えば 600 nm の膜厚でアルミニウム (0.1~2% のシリコンを含む) を成膜し、該アルミニウム膜をパターニングして、ゲート電極 608、609 を形成する。

【0145】次に、イオンドーピング法によって、各活性領域 603b にゲート電極 608、609 をマスクとして、不純物 (リン、およびホウ素) を注入する。ドーピングガスとして、フォスフィン (PH_3) およびジボラン (B_2H_6) を用い、前者の場合は、加速電圧を $60 \sim 90 \text{ kV}$ の範囲内、例えば 80 kV 、後者の場合は、 $40 \text{ kV} \sim 80 \text{ kV}$ の範囲内、例えば 65 kV とし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ の範囲内に選 30 び、例えばリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量とする。

【0146】この工程によって、ゲート電極 608、609 にマスクされ不純物が注入されない領域は、後に各 TFT 620、621 のチャネル領域 610、611 となる。ドーピングに際しては、ドーピングが不要な領域 40 をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングする。この結果、N 型の不純物領域 612、613、P 型の不純物領域 614、615 が形成され、図9 (D) に示すように、N チャネル型 TFT (以下、NTFT) 620 と P チャネル型 TFT (以下、PTFT) 621 とを形成することができる。

【0147】その後、図9 (D) に示すように、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、KrF エキシマレーザー (波長 248 nm 、パルス幅 20 nse 50

c) を用い、レーザー光の照射条件としては、エネルギー密度 250 mJ/cm^2 で一か所につき 2 ショット照射した。

【0148】続いて、図9 (E) に示すように、膜厚 600 nm の酸化ケイ素膜を層間絶縁膜 616 としてプラズマ CVD 法によって形成し、これにコンタクトホール 622、623、624、625 を形成して、金属材料、例えば、窒化チタンとアルミニウムとの多層膜によって、TFT 620、621 の電極および配線 617、618、619 を形成する。そして最後に、水素のプラズマ雰囲気中で 350°C 、30 分のアニールを行い、TFT 620、621 を完成させる。

【0149】以上の実施例に従って作製された CMOS 構造を有する半導体回路において、それぞれの TFT 620、621 のキャリアの電界効果移動度は、NTFT 620 で $140 \sim 170 \text{ cm}^2/\text{Vs}$ 、PTFT 621 で $100 \sim 130 \text{ cm}^2/\text{Vs}$ と高く、閾値電圧は NTFT 620 で $1.5 \sim 2 \text{ V}$ 、PTFT 621 で $-2 \sim -3 \text{ V}$ と非常に良好な特性を示す。

【0150】以上、本発明に基づく実施例 6 例につき具体的に説明したが、本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0151】例えば、前述の 6 例の実施例においては、ニッケルを導入する方法として、非晶質ケイ素膜表面にニッケル塩水溶液を塗布、あるいはケイ化ニッケル薄膜、ニッケル薄膜 (極めて薄いので、膜として観察することは困難である) を形成することによって、選択的にニッケルの微量添加を行い、この部分から非晶質ケイ素膜の結晶成長を行わせる方法を採用した。しかし、非晶質ケイ素膜成膜前に、例として、図2の下地膜 102 表面に選択的にニッケル微量添加を行う方法でもよい。即ち、結晶成長は非晶質ケイ素膜の上面側から行ってもよいし、下面側から行ってもよい。また、ニッケルの添加方法としてはイオンドーピング法を用いて、ニッケルイオンを非晶質ケイ素膜に選択的に注入する方法を採用してもよい。この場合は、ニッケル元素の濃度を制御することができるという特徴を併せて有する。また、ニッケルの薄膜を成膜する代わりに Ni 電極を用いてプラズマ処理によって、ニッケルの微量添加を行ってもよい。さらに、非晶質ケイ素の結晶化を助長する不純物金属元素としては、ニッケル以外にコバルト、パラジウム、白金、銅、銀、金、インジウム、スズ、アルミニウム、リン、ヒ素、アンチモンを用いても同様の効果が得られる。

【0152】また、前記各実施例では、結晶性ケイ素膜の結晶性を助長する手段として、パルスレーザーであるエキシマレーザー照射による加熱法を用いたが、それ以外のレーザー (例えば連続発振 Ar レーザーなど) でも同様の処理が可能である。また、レーザー光の代わりに

赤外光、フラッシュランプを使用して短時間に900～1200℃まで上昇させ試料を加熱する、いわゆるRTA（ラピッド・サーマル・アニール）（RTP、ラピッド・サーマル・プロセスともいう）などのいわゆるレーザー光と同等の高照度の光を用いてもよい。

【0153】さらに、本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系EL（エレクトロルミネッセンス素子）等を発光素子としたドライバー内蔵型の書き込み素子や表示素子、三次元IC（集積回路）等が可能である。本発明を用いることで、これらの素子的高速、高解像度化等の高性能化が実現される。さらに本発明は、上述の実施例で説明したMOS型トランジスタに限らず、結晶性半導体を素子材としたバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広く半導体プロセス全般に適用することができる。

【0154】

【発明の効果】本発明を用いることによって、基板と平行に結晶成長させた結晶性ケイ素膜を利用して薄膜トランジスタを構成する半導体装置およびその製造方法において、その製造工程が簡便となり、大面積基板にわたって均一で安定した特性の高性能薄膜トランジスタを有する半導体装置が得られる。特に液晶表示装置においては、アクティブマトリクス基板に要求される画素スイッチングTFTの特性の均一化、周辺駆動回路部を構成するTFTに要求される高性能化を同時に満足し、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板が実現でき、モジュールのコンパクト化、高性能化、低コスト化がはかれる。

【図面の簡単な説明】

【図1】本発明の実施例1に於いて横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。

【図2】第1の実施例の作製工程を示す図1の切断面線A-A'で切った断面図である。

【図3】第2の実施例に於いて横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。

【図4】第2の実施例の作製工程を示す図3の切断面線B-B'で切った断面図である。

【図5】第3の実施例に於いて横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。

【図6】第4の実施例に於いて横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。

【図7】第5の実施例に於いて横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。

【図8】第6の実施例に於いて横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。

【図9】図8の切断面線C-C'で切った断面図である。

【図10】本発明に基づく横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。

【図11】本発明に於いてアニール時間に対する横方向結晶成長距離Lのアニール時間依存性を表すグラフである。

【図12】本発明に於いて針状結晶1本における分岐あるいは曲がりの数に対する横方向結晶成長距離Lのグラフである。

【図13】本発明に於いて距離bの横方向結晶成長距離Lを表したグラフである。

【図14】本発明に於いて長さcに対するX方向の横方向結晶成長距離Lを表したグラフである。

【図15】本発明に於いて幅dに対するX方向の横方向結晶成長距離Lを表したグラフである。

【図16】本発明の基礎となる構成に於いて横方向結晶成長領域を利用したTFTを基板上面から見た場合の平面図である。

【図17】本発明の基礎となる構成に於いて横方向結晶成長の不均一性を説明する平面図である。

【符号の説明】

100、200、300、400、500、600 ニッケル微量添加領域

101、201、601 ガラス基板

102、202、602 下地膜

104、204、304、404、504、604 マスク

106、206、306、406、506、606 結晶成長方向

107、207、607 ゲート絶縁膜

108、208、508、608、609 ゲート電極

109 陽極酸化層

110、210、310、410、510、610、611、702 チャネル領域

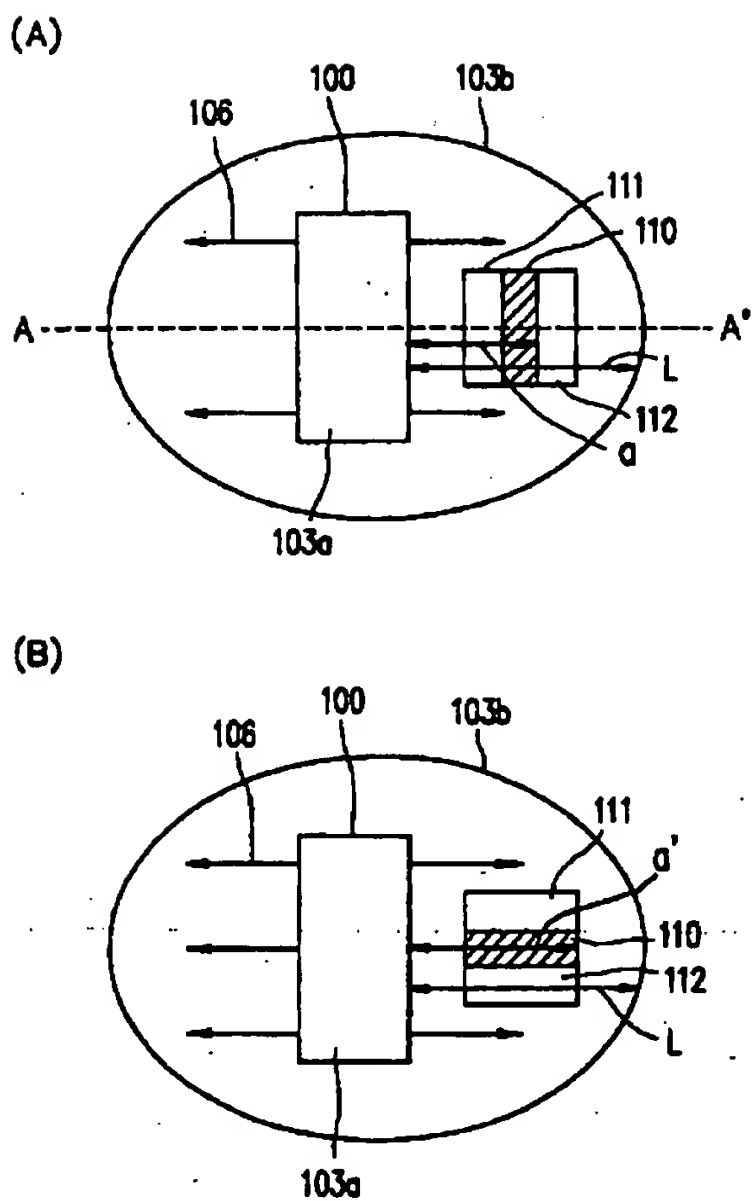
111、211、311、411、511 ソース領域

112、212、312、412、512 ドレイン領域

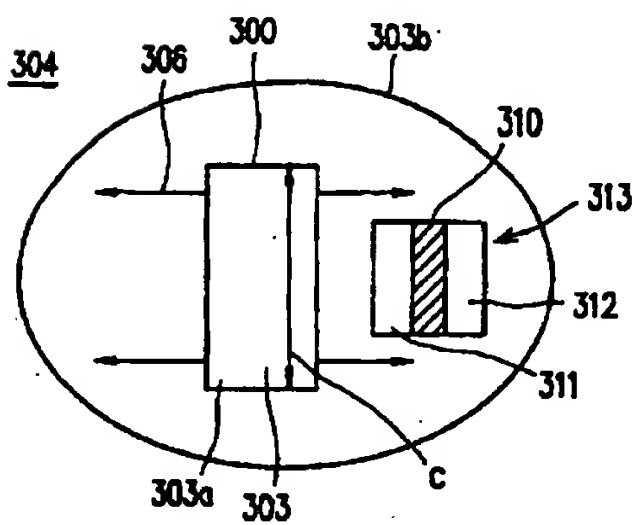
113、213、616 層間絶縁物

114、115、214、215、515、617、619 電極

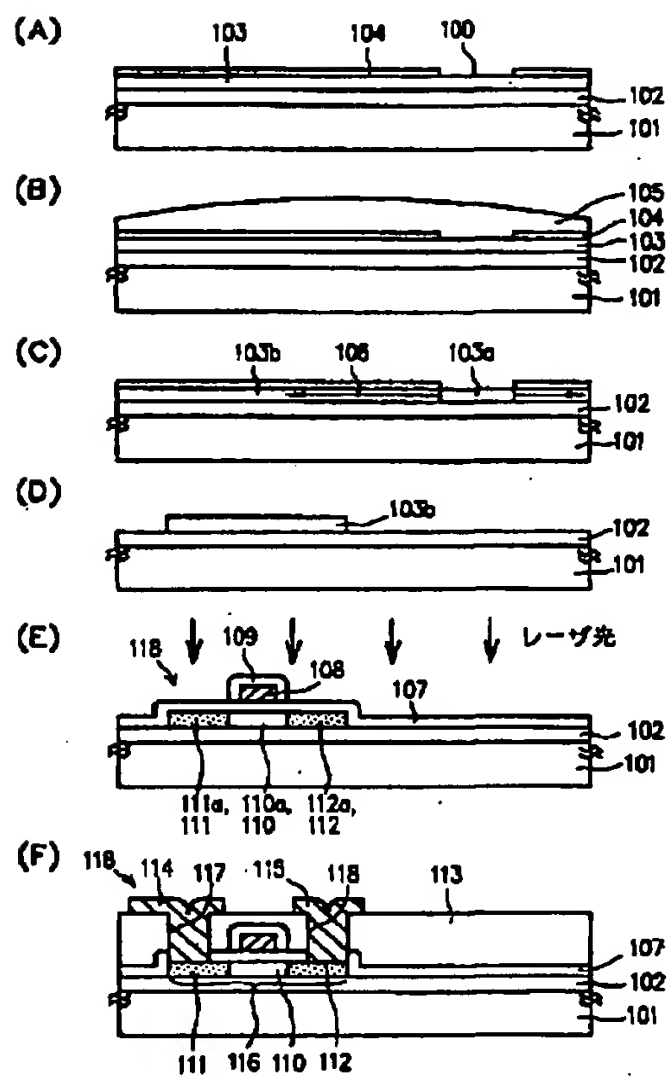
【図 1】



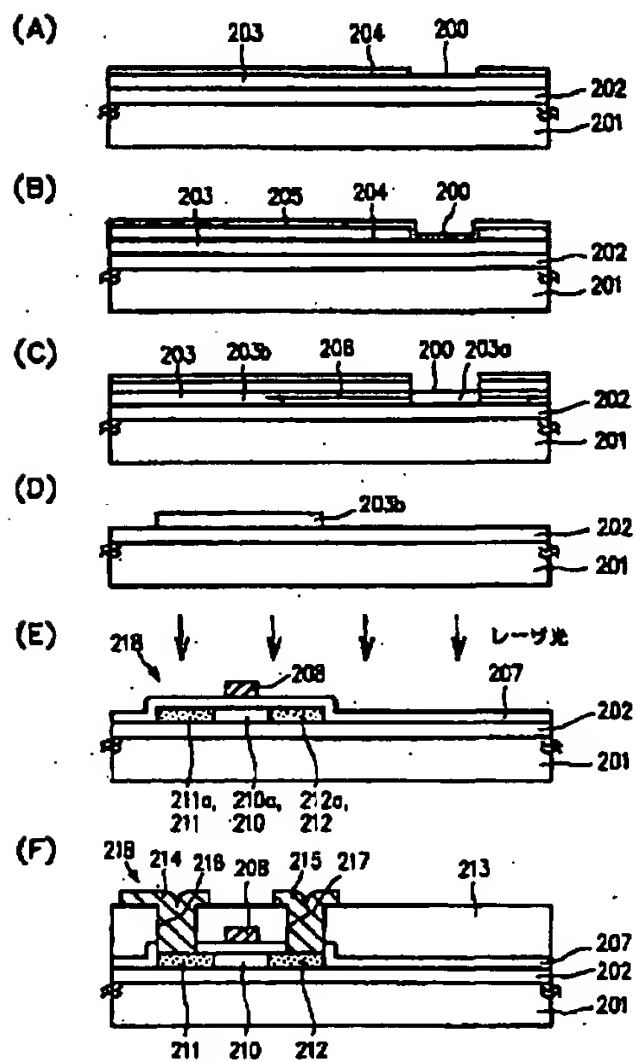
【図 5】



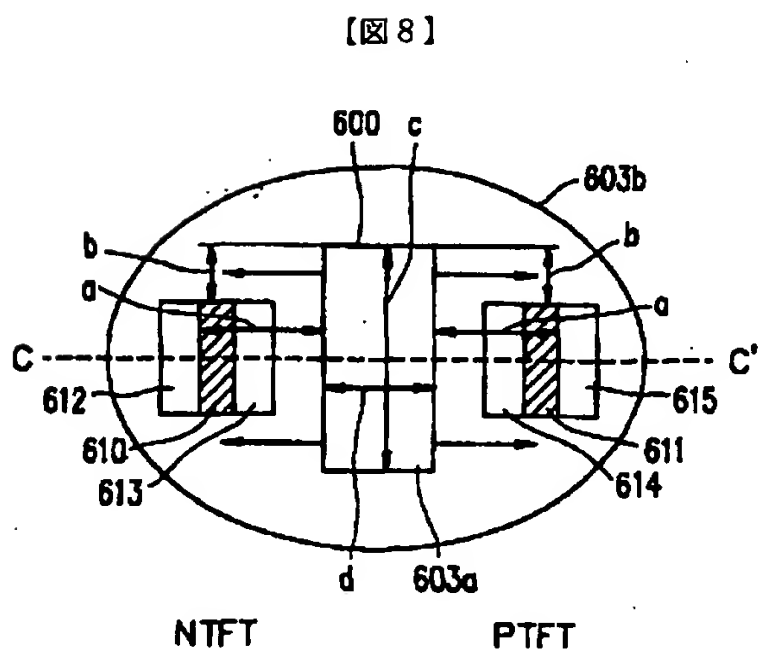
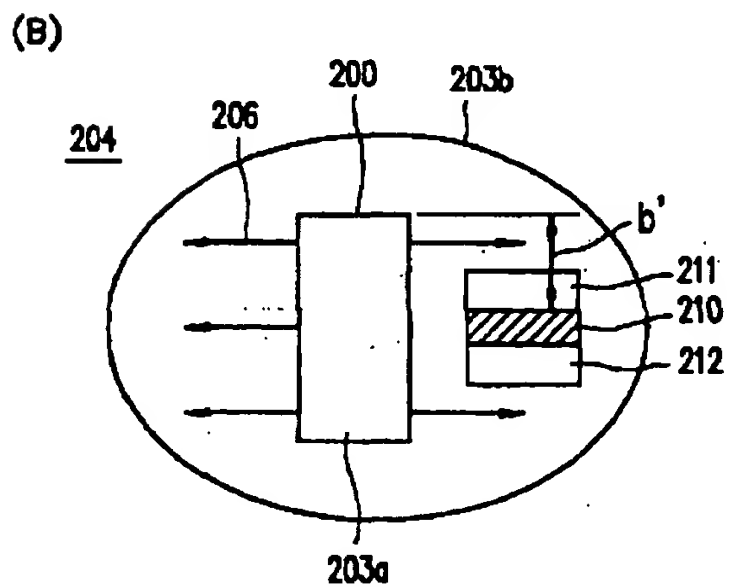
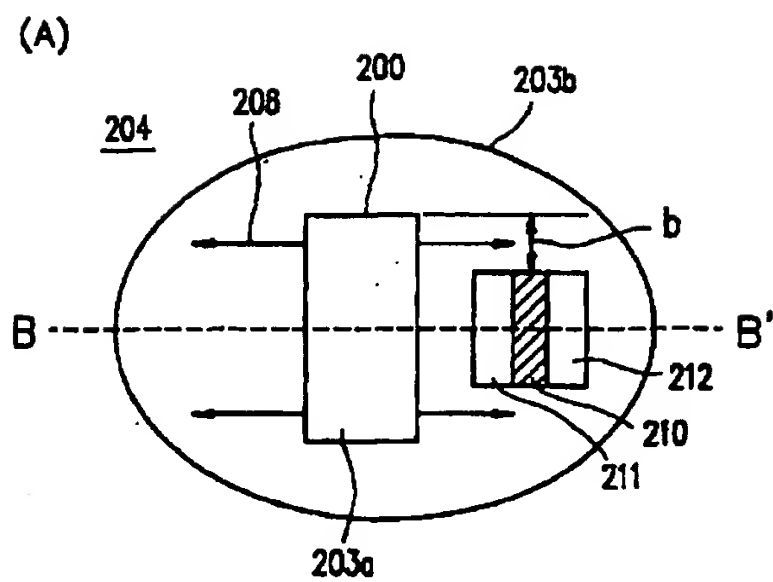
【図 2】



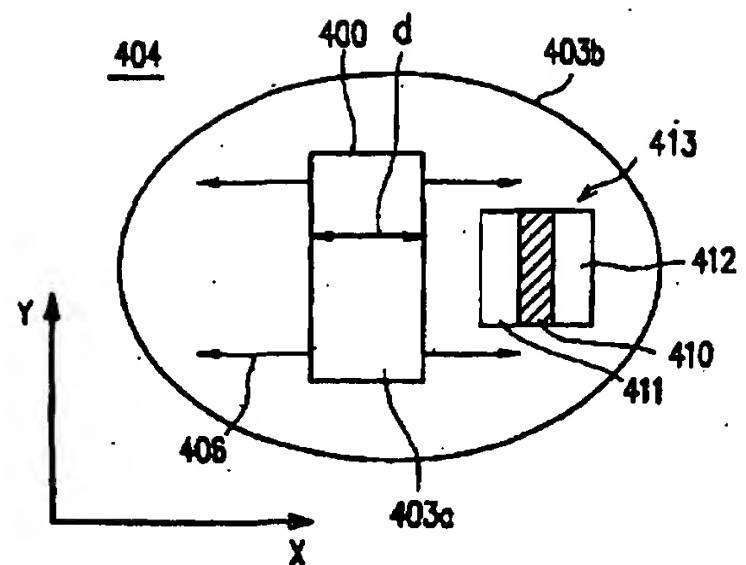
【図 4】



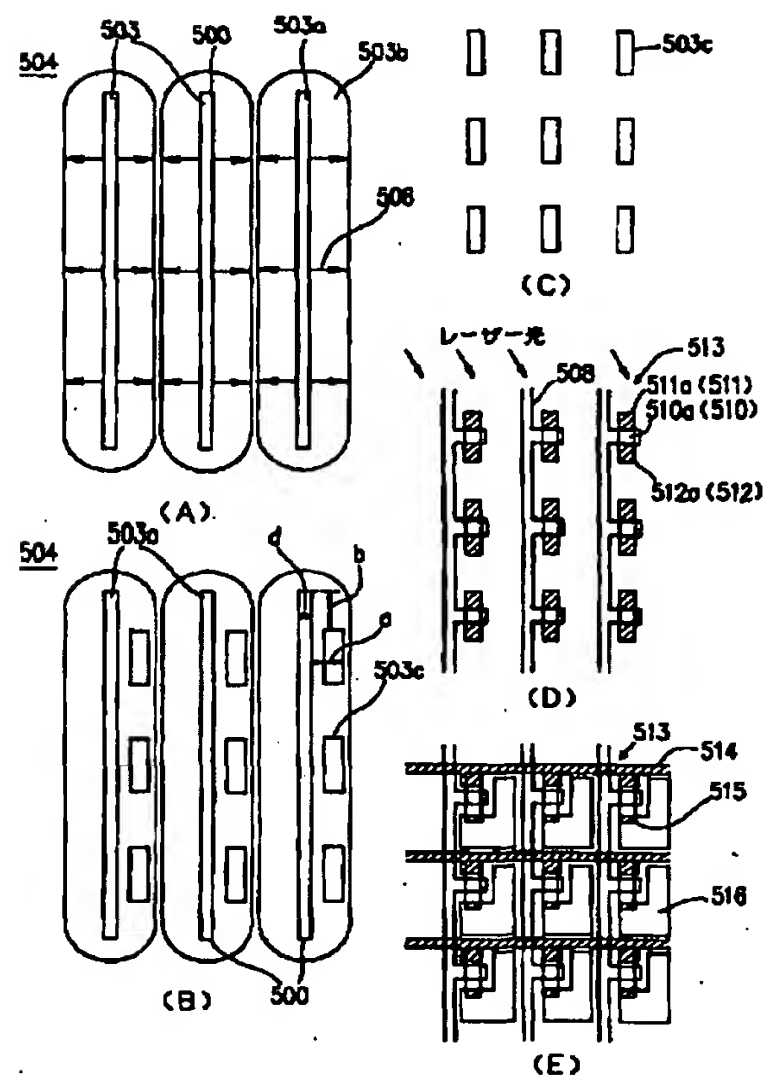
【図 3】



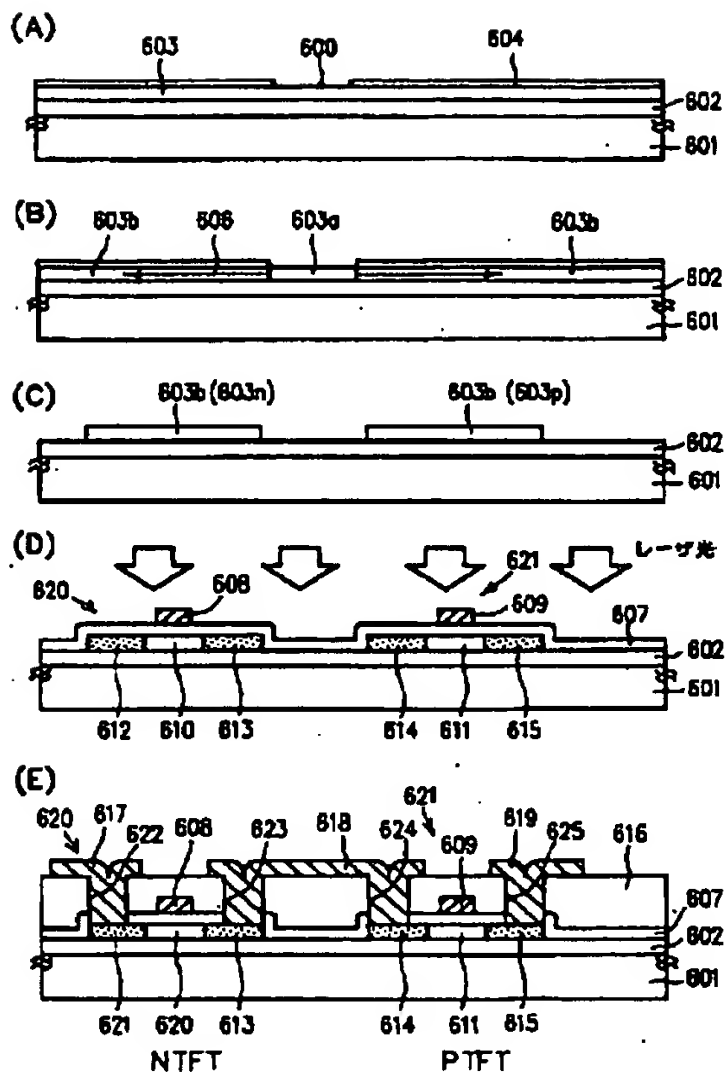
【図 6】



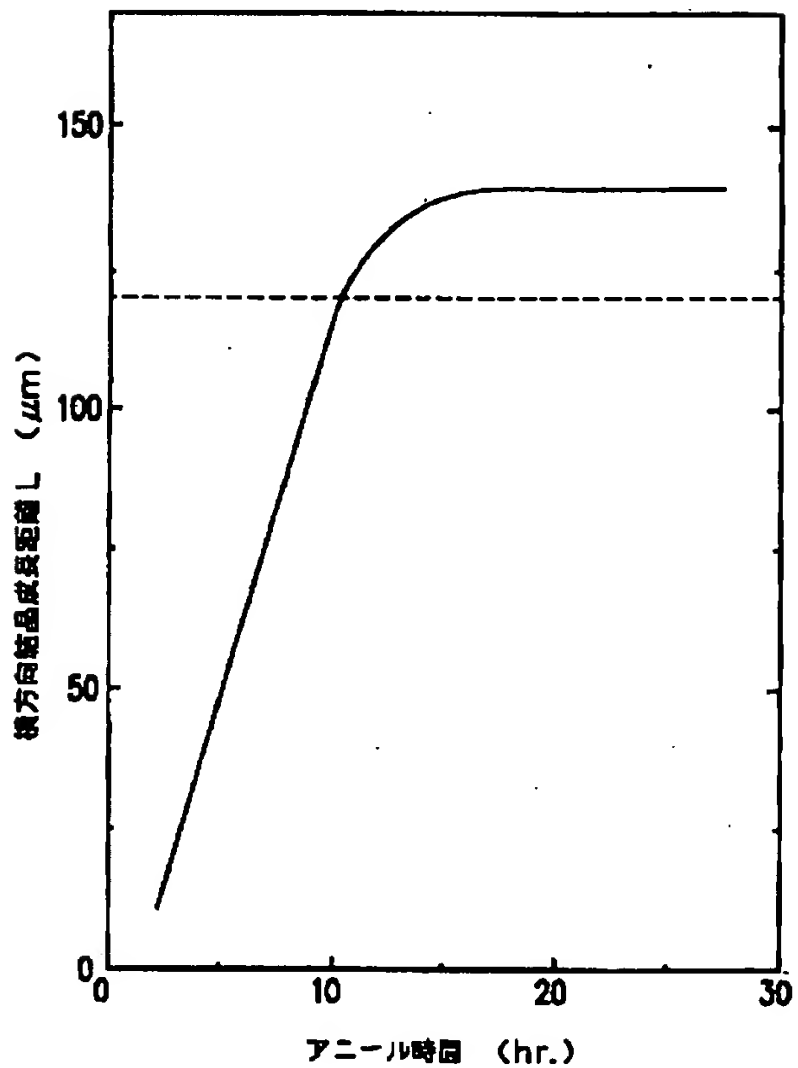
【図 7】



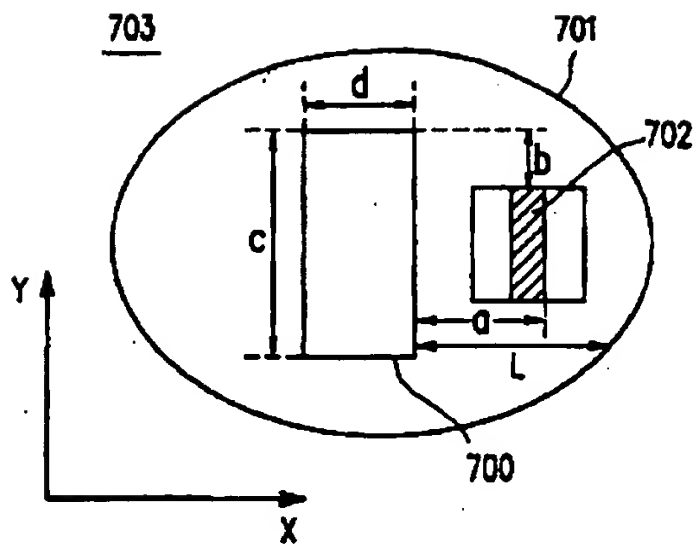
【図 9】



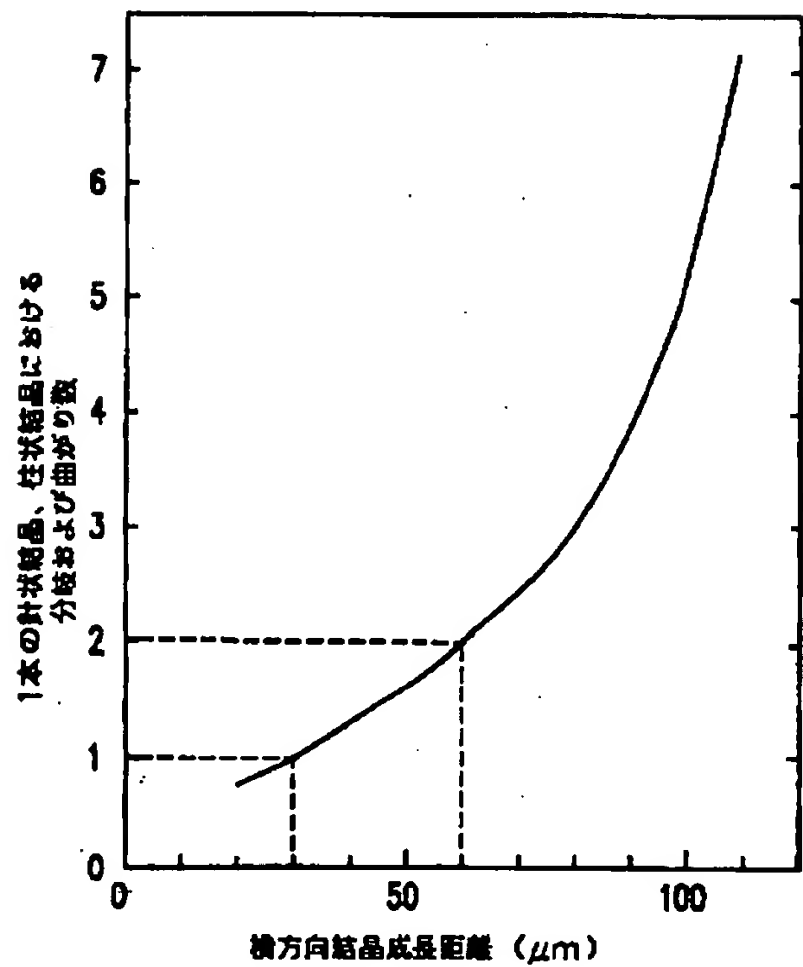
【図 11】



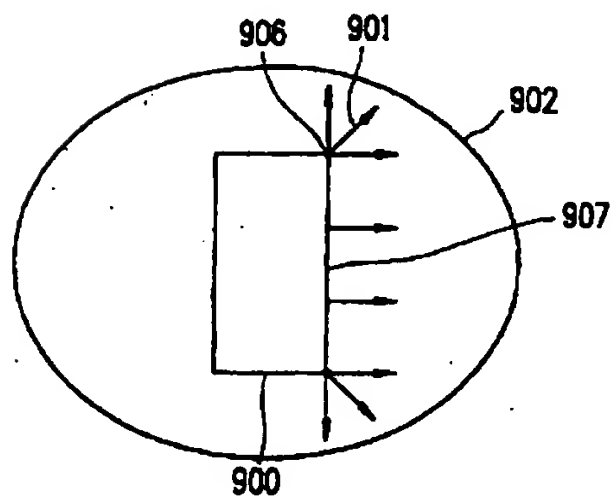
【図 10】



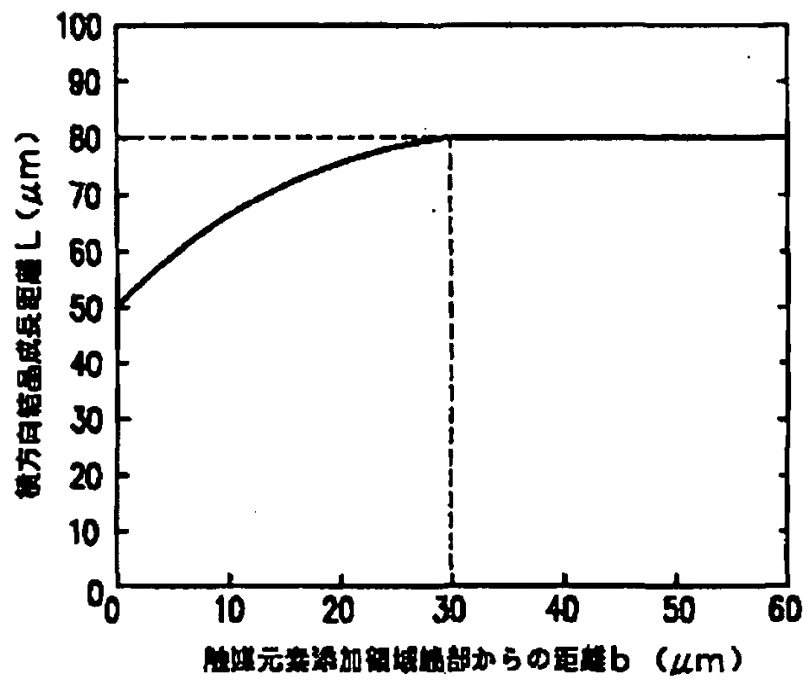
【図 12】



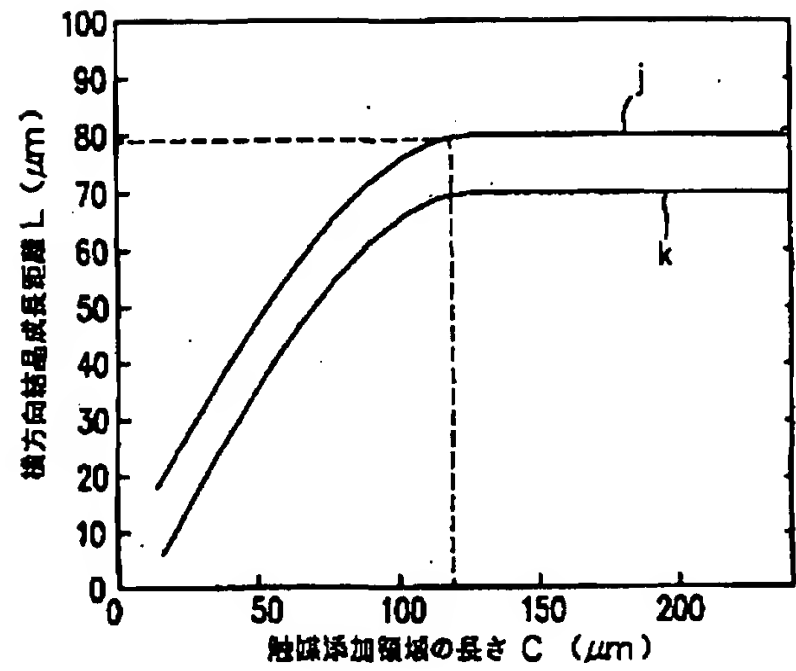
【図 17】



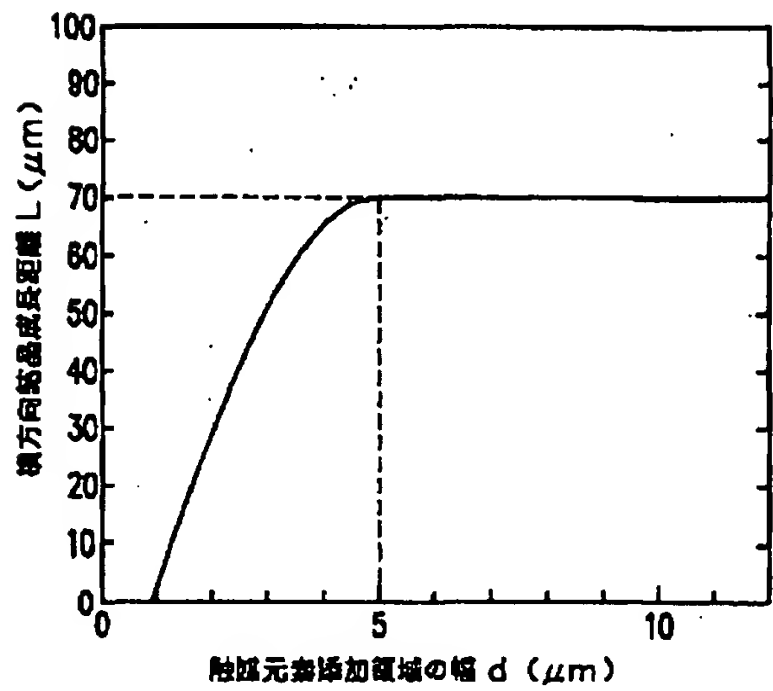
【図 1 3】



【図 1 4】



【図 1 5】



【図 1 6】

